

# 不揮発性メモリ・デバイスのパルスI-V特性評価手法

## アプリケーション・ノート



## はじめに

今日までフローティングゲート型の NAND フラッシュメモリ技術は、デジタルカメラ、MP3 プレイヤーやスマートフォンのようなデジタル機器に対する不揮発性メモリの必要性の高まりにうまく適合してきた。しかしながら、このフローティングゲート型の不揮発性メモリが、メモリ市場を牽引するために必要な低コストで高い記憶容量を継続して提供し続けることができるかという懸念が増してきている[1]。このフローティングゲート型アプローチが限界に近づくということは、その代替技術の研究の重要性が増してきていることを意味する。

広範囲にわたる材料や技術に対する研究には、広いダイナミックレンジや柔軟性の高いパラメータ制御をもつ電気的測定システムが必要になる。本稿では、不揮発性材料やデバイスの特性評価に必要なテストパラメータの概要や、不揮発性メモリの簡単な歴史について述べ、4200A-SCS 型半導体パラメータアナライザ上で運用するために設計されたモデル 4225-RPM 型の 2 つのモジュールオプションを含めたモデル 4225-PMU 型の性能に関する解説を行う。4225-PMU 型と 4225-RPM 型の組み合わせによって、それぞれの二つのチャンネルにおいて電圧と電流の同時測定が行え、これまでの機器と比較してより簡単に過渡パルス応答特性評価を実現した。さらに、このシステムのマルチパルス波形出力機能を使うことにより、モデル 4225-PMU 型を搭載した 4200A-SCS 型で過渡特性及び IV ドメイン両方でのメモリデバイスのスイッチ特性評価が行える。新たな測定要求に関する議論の後、本稿ではフローティングゲート型フラッシュ、相変化セルや強誘電体セルデバイスの測定に対する不揮発性メモリのテストプロジェクトやパラメータの概要について解説する。

## 不揮発性メモリの概要

世界中の研究者が相変化メモリ(PCM/PRAM)、チャージトラップメモリ(CTF/SONOS)、抵抗メモリ(ReRAM)、強誘電体メモリ(FerRAM)や磁性抵抗メモリ(MRAM)のような、フローティングゲート型の NAND フラッシュメモリを置き換えることができる不揮発性メモリの研究を進めている(図 1 参照)。また、それらのデバイス技術には、長年にわたり研究されてきた経緯もあり既に何らかの形で市場において実用化されているものもある。スピントランスファートルク(STT) MRAM やフローティングボディ(FBRAM)や種々のカーボンナノチューブメモリ(CNT RAM)を含めたその他の不揮発性技術が、メモリ製品のアプリケーションに対する適合性を評価するために活発に研究されている。

フローティングゲート型の不揮発性メモリは、携帯型の家電機器における従来の不揮発性メモリの用途に加え、ユビキタスもしくは USB ドライブ、さらに最近では従来型のコンピューターハードドライブの置き換えとして使われている高性能 SSD 製品のような新たな製品カテゴリーを創り出してきた。そしてそれらの製品は、既存のフラッシュメモリや DRAM を置き換えるユニバーサルメモリとしての可能性と同様に、大学や半導体メーカーや研究機関において研究が進められている。

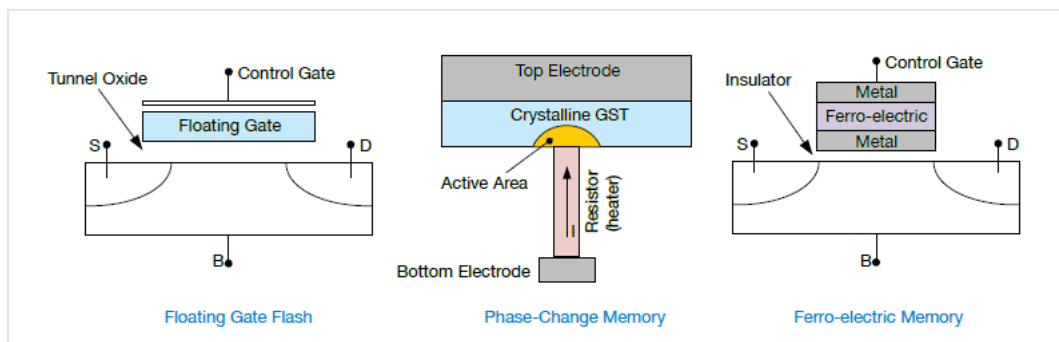


図 1. 様々な不揮発性メモリデバイス

理想的なメモリはダイナミックメモリと不揮発性メモリ双方の特性が必要とされる：

- ・ 微細化予測に基づく低コスト及び高密度化
- ・ 高速な読み/書きスピード(既存の DRAM と同等もしくはそれ以上)
- ・ 高耐久性(DRAM や SSD のアプリケーションに対応できる)
- ・ 長い記憶保持能力
- ・ 低電力・低電圧仕様
- ・ 既存の論理回路や半導体プロセスとの互換性

フローティングゲート型の不揮発性デバイスのアプリケーションが増えるに従い、フローティングゲート技術への要求圧力も増加し、それによりフローティングゲートの手法を置き換える多様な技術の市場が開拓されてきた。将来的には、それぞれの製品タイプや種類ごとに異なる要求に対応する複数の不揮発性メモリ技術を有する可能性がある。事実 2010 年の半導体ロードマップ(ITRS)では、研究開発を加速させ民生用に導く不揮発性メモリとして、STT-MRAM と Redox RRAM を推奨している。

### 不揮発性メモリ試験に対する要求事項の進展と概要

従来、フローティングゲート型の NAND フラッシュメモリに対する電気特性評価は、そのメモリセルにパルスジェネレーターで書き込みもしくは消去を行いSMUでDC測定を行っていた。この手法では、試験デバイスにパルスもしくはDC信号を交互に印加するスイッチ機器を必要とする。また、場合によってはDUT端子においてのパルスの精度(パルス幅、オーバーシュート、パルス電圧レベル、立ち上り/立ち下り時間)を確認するためオシロスコープが使用される。フラッシュメモリの状態はパルス電圧のレベルにかなり敏感なため、パルスの測定が重要になるが、オシロスコープでの測定に必要な設定はパルス印加/DC測定アプローチの設定と異なるため、研究用途においてもオシロスコープの使用頻度は多くはない。

近年の計測機器の進化で、現在は単一の機器でパルスメモリデバイスや材料に印加しながら同時に電流と電圧を測定することが可能になっている。その機能は以前から実現可能ではあったが、機器の筐体やコスト、性能、複雑性に関する様々なトレードオフが含まれていた。加えて、そのようなカスタムシステムは通常、様々な種類の測定機器をパルス印加と測定を行うためのシステムに組み込むために必要な、十分な時間と幅広い経験やスキルを持つ社内の測定機器の専門家が作成し維持されていた。そのようなシステムは、機能はするが通常、試験範囲が限られた一度きりの構築物で、試験の制御が面倒で且つデータの抽出に多くの時間を要するものが多い。電流の測定には通常、負荷もしくはセンス抵抗にオシロスコープもしくはデジタイザを使った手法が用いられるが、デバイスに印加される電圧の負荷抵抗の影響は、パルス測定を行う上で大きな問題となる部分である。さらにその上に、複数のシステムにわたる相関やトレーサビリティを持つシステムレベルの校正を保つことは事実上困難であった。

本稿で提案する新しい機器は、研究者に少ない時間で不揮発性メモリ材料やデバイスの振る舞いの理解を深めるためのさらなるデータを提供する。パルスを印加し同時にその電圧と電流を高速でサンプリングすることにより、メモリ動作の電氣的や物理的メカニズムをさらに深い考察を提供する。その過渡特性評価能力をDC特性に加えることにより、本質的な材料特性やデバイスの応答に対する基礎データを取得できる。

不揮発性メモリに対し現在多くの材料や技術が研究されており、それぞれが物理的なメモリ動作としての固有の特性を示しているが、電気特性評価として重要なテストパラメータや方法は共通している。このことは一つの測定機器が幅広いメモリ技術やデバイスタイプに対応できることを意味している。

基礎技術の物理的な状態をより深く理解するため、電氣的特性評価は非常に重要である。研究途中の特

殊なメモリ技術にであってもスイッチ動作を行うためにパルス印加は必要であり、さらにパルス印加と同時に測定を行うことにより、スイッチメカニズムのダイナミックな動作を理解するためのデータを得ることができる。また、材料によって異なった表現を用いることがある。例えば、program/erase、set/reset や write/erase のような表現はそれぞれ同様に1か0ビットの基本記憶状態を示している。それらの書き込み/消去の試験手順は、標準的なメモリ動作に必要な全体の速度を提供したり、最終製品の環境を想定するためにパルスモードで実行される。次の章では不揮発性メモリ技術に幅広く普及している重要なパラメータについて言及する。

### 一般的な不揮発性メモリの試験パラメータ

**パルス振幅**はメモリセルを書き込んだり消去したりするために必要なパルスの高さである。フローティングゲート型のメモリは書き込みパルスとして15-20V からそれ以上の電圧が必要とすることがある。不揮発性メモリ技術に置き換える最終的な目標値はより低いパルス振幅だが、微細化や材料の最適化前の研究初期段階では6-8V 程度になっている。多くの場合その電圧値レベルでの両極性パルスが必要になるが、最近のパルスIV測定ソリューションの中には両極性印加モードに対応できていないものが存在する。

**パルス振幅の精度**はメモリ状態の切り替えが非線形（例えば、FN 電流、位相変化、フィラメント生成/消失）であるため、不揮発性メモリ試験の重要なパラメータの一つであり、従って、それらのデバイスは電圧パルスの振幅に対し敏感である。パルス振幅の精度のパラメータは立ち上がり、オーバーシュート、アンダーシュートのようなパルスレベルの確度に関して規定されるため、それらを最少にすることはパルス機器の設計において最も重要なことである。最新のパルスIVシステムではオーバーシュートや立ち上がりの仕様が3%以下になっている。しかしながら、デバイスにおけるパルス形状の精度は接続セットアップ、ケーブル、パルスパラメータ、デバイスインピーダンス、タイミング、インピーダンス不整合に大きく影響を受けることに留意することが重要である。

高精度なパルスレベルに加え、最新の技術では、単なる標準的な矩形波だけでなく複雑で容易に調整可能な波形が要求される。例えば、ReRAM デバイスの試験では、パルスを上下にスイープしながら同時に電流測定が必要とされることがあり、FeRAM の試験では PUND(Positive, Up, Negative, Down)の4パルスシーケンスが、PRAM（位相変化メモリ）の試験では RESET-measure-SET-measure の複数パルス波形において4パルス中1つのパルスの立下り時間だけをスイープするような、実質的に任意のパルスパラメータをスイープできる能力が求められる。それらのすべてのメモリ技術では任意波形での複数パルス波形出力機能に加え、各波形領域での電流、電圧測定機能が求められる。耐久性試験では余計なセットアップやオーバーヘッド時間無しに、すばやく複雑な任意波形を出力させる機能が求められ、それは従来の2値のパルス発生器とは異なった新しいパルス機器の能力が必要となる。

試験装置における立ち上がり、立下りやパルス幅のような**パルスタイミングのパラメータ**は、特に、パルス幅が100nsecから10nsec以下へ低下する傾向を有するより高速なパルス化へ向かう一般的な傾向と共に非常に重要なパラメータになっていく。PRAM などのいくつかの技術においては、立下り時間は RESET 動作を定義する上で重要なパラメータとなるが、従来型のパルスジェネレーターでは通常立ち上がり、立下り時間レンジに制限があり例えば20nsecの立ち上がりと2msecの立下りの組み合わせパルスは許されていないため、このことは重要である。一般的に短いパルス幅及び早い遷移時間が好ましいが、配線のインピーダンス、測定の制限や機器のトレードオフによる実質上の制限が存在する。

動的な同時**超高速電流及び電圧測定**の必要性は前述した位相変化メモリや強誘電体技術のような新たな不揮発性メモリ技術に推進される。4225-PMU 型と4225-RPM 型の組み合わせは、電圧と電流の同時測定を提供し、これは、材料の動的な抵抗がビットストレージの物理的メカニズムの電氣的表現を表す場合に

重要である。

微細化の傾向はより小さなデバイスへと向かっており、この傾向は、パルス印加中により小さな電流を測定することを必要とし、つまりある種のプリアンプが必要になる。配線容量の寄生効果を最小にし、測定デバイスへのエネルギーの大きさをより精密に制御するため、被測定物の 15-25cm 内に接続されたリモートパルスアンプは大きな利点を提供する。これは相変化メモリ(Phase Change Memory)及び ReRAM の評価にとって特に重要である。

表 1. NVM 技術に関する重要なテストパラメータの概要。

NVM タイプ	パルスレベル	パルス過渡、パルスの精度	過渡測定	マルチレベルパルス	マルチチャネル同期
Floating Gate Flash	15-20V+	セルをプログラムまたは消去するために使用されるトンネル電流の非線形性のために、パルスのオーバーシュートを最小限に抑えることが重要である	電荷移動の理解を深める必要性が出てきている	書き込み、消去用のバイポーラパルス波形が必要。また、FN 消去時のソース・ドレイン上のソリッドステートリレー(高インピーダンス)の高速制御も必要である	市場の潜在的なニーズ
PRAM(PCRAM)	~±8V	非対称な上昇と立ち下がりが必要：リセットパルスの速い立ち下がり時間(<20ns)、結晶化の遅い立ち下がり時間(数10~数100ns)	材料およびセルの挙動を理解するために重要。	リセット測定-セット測定波形のための単極マルチレベルパルス	1T1R1デバイスへの移行時に必要
ReRAM	~±6V	正確なパルスレベルおよび遷移制御は、イオン移動またはフィラメントフォーミングの研究を可能にする	材料およびセルの挙動を理解するための新たな評価項目。	ユニポーラ技術とバイポーラ技術の両方に必要	1T1R1デバイス構造において必要
FeRAM	~±5V	パルス遷移制御は、分極特性評価を可能にする	高速電荷測定は、容量性メモリ効果の特性評価に重要	書き込みおよび消去のためのバイポーラパルス(PUND法)	1T1C2デバイス構造に有用

1. 1T1R=1つのトランジスタと1つの抵抗からなるメモリセルであり、トランジスタはセルへの制御およびアクセスを提供する。
2. 1T1C=1つのトランジスタおよび1つのキャパシタからなるメモリセルであり、トランジスタはセルへの制御およびアクセスを提供する。

**電流コンプライアンスまたは電流制御**は、ReRAM 及び PRAM などのいくつかの NVM を測定するために重要である。通常これは DC 測定器を使用して行われ、時にはカスタムパルス設定で実施される。DC 測定器の電流コンプライアンス機能が典型的な要件を満たすのに十分な速さの電流制御を提供しているかどうかは明らかではないが、パルスの電流制御のためには回路内の容量から測定デバイスへの電流放電の可能性を避けるため、電流制御装置を測定デバイスにできるだけ近づけて設置することが好ましい。

測定を簡素化し、スピードアップするために、**パルスと DC 測定器の切り替え**が必要である。耐久性試験におけるフラッシュの Program/Erase サイクルのフロート接続のためには非常に多くのストレス波形を許容するために Program パルスと Erase パルスとの間でスイッチ切り替えが行われなければならないため、そのスイッチは 10-100us の高速である必要がある。この種のスイッチは、パルス発生器により直接制御され高速制御のためにパルス機器内に配置されるべきである。通常、このスイッチは、各パルスチャンネルに対しソリッドステートリレー(SSR)で行われる。

**チャネル同期**は、複数のパルス源及び測定チャンネルを必要とする NVM の試験に必要である。2 端子デバイスの両側で印加と測定を行うため、PRAM や ReRAM の評価には 2 チャンネルで十分である。アクセスデバイスとしてトランジスタを利用する NVM の場合、3 チャンネルもしくは 4 チャンネルのパルス IV が必要になる。フラ

ッシュメモリでは、2つまたは4つのチャンネルが必要である。従来のパルス機器は様々なトリガ同期方法があり、それらが各々異なる複雑さ/トリガ性能トレードオフを有するため、同期が困難である。現代のパルスIV機器は、統合された測定能力に加え、内部トリガルーティング及び自動同期がサポートされている。

前述したように、異なる NVM 技術はそれぞれわずかに異なる測定ニーズを有する。**表 1** にいくつかのメモリ技術についての重要なテストパラメータを要約する。

### 不揮発性メモリ評価に対するモデル 4225-PMU 型及びモデル 4225-RPM 型の性能

モデル 4225-PMU 型超高速 IV モジュール(**図 2**)はモデル 4200A-SCS 型に搭載可能なスロットカードである。それは 2 チャンネルの電圧パルス印加及びリアルタイムでの電圧と電流の同時測定機能を持っている。測定にはサンプル及びスポット平均の 2 種類がある。サンプルは、過渡的または動的な挙動を理解するために重要な時間ベースの電流及び電圧波形を取得するために使用される。スポット平均は、IV 特性評価のための DC 的な電流及び電圧測定を提供する。繰り返し波形を適用すると、メモリスイッチングの挙動または材料自体への損傷も引き起こしかねないため、リアルタイムサンプリング機能は、単一波形に対する NVM 材料の過渡動作を取得するために重要である。



図 2. 4225-PMU 型超高速 IV モジュールと 4225-RPM 型リモートアンプ/スイッチモジュール

モデル 4225-RPM 型リモートアンプ/スイッチはモデル 4225-PMU 型の追加オプションである。この小さなボックスは、DUT の近くに配置され、多くの NVM 材料及び技術の特性評価に必要な低い電流測定レンジを提供する。さらに、4225-RPM 型は、4200A-SCS 型のソース・メジャー・ユニット(SMU)及び CVU 信号の切り替えを提供し、高感度の DC 及び CV 測定を可能にする。4225-RPM 型は単一チャンネルのモジュールであるため、4225-PMU 型からの 2 つのチャンネルを適用するには、2 つの 4225-RPM 型モジュールが必要である。4225-RPM 型モジュールは、測定デバイスの近くに配置できるように設計され(30cm または 1 フィート)、良好なパルス波形や高速測定のためケーブル配線の影響を最小限にする。

この PMU/RPM の組み合わせは前述した既存及び新規の NVM 技術の特性評価のための機能を提供する。**図 3** に 4225-RPM 型のブロック図を示す。両チャンネルが、電流と電圧両方の測定値(チャンネル当たり 2 つの A/D コンバータ)を有することに留意されたい。各チャンネルは、 $\pm 10V$  または  $\pm 40V$  (高インピーダンス)を独立して供給できる。**図 4** は、4225-RPM 型のブロック図である。左側は 4200A-SCS 型本体からの入力、右側は DUT への出力になっている。上半分(青、赤、太い緑の線)は、4225-RPM 型のスイッチング部。SMU および CVU 経路は、全体を通して 4 線接続をサポートしている。底部付近のより細い緑色の線は、様々なパルス電流測定レンジを表す。

### パルスレベル

各4225-PMU型チャンネルは、2つのソースレンジを有する。10V電源レンジは、-10Vから+10V (20V増幅)まで高インピーダンスに対し出力でき、現代のNVM技術の候補のほとんどをカバーする。高電圧を必要とする既存のフローティングゲートフラッシュメモリまたはまだ最適化されていない新材料のテストのために、4225-PMU型は40Vレンジも有し、-40Vから+40V(80V増幅)まで高インピーダンスに対し出力する。

両方のソースレンジが両極性であるので、ユニポーラメモリ技術と両極性メモリ技術の両方の特性評価を行うことができる。

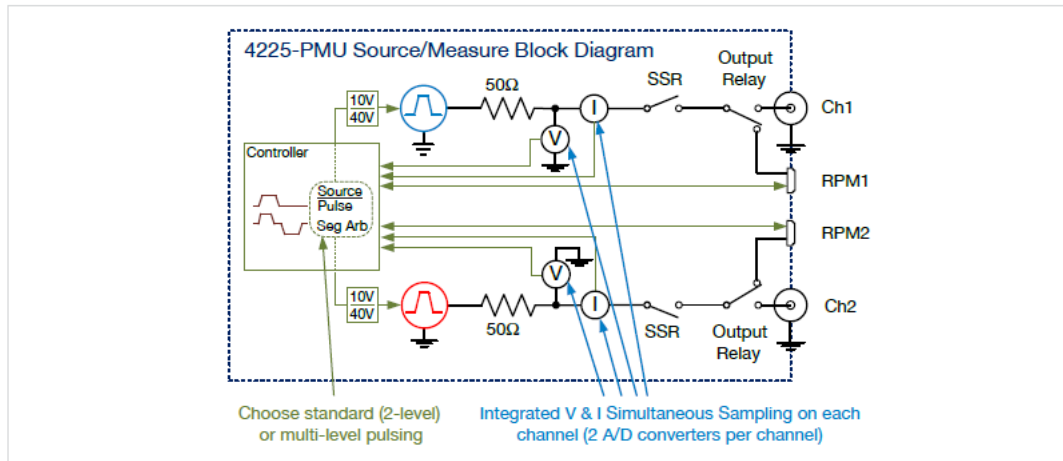


図3. 4225-PMU 型ブロック図。RPM1 および RPM2 接続を使用することにより、4225-PMU 型を2つの4225-RPM 型で使用することができる。SSRはFowler–Nordheimトンネルを介してフラッシュメモリデバイス上でプログラムまたは消去を実行するとき有用な高インピーダンスモードに設定するソリッドステートリレー。

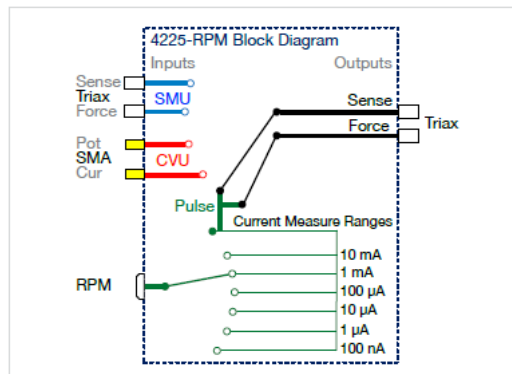


図4. 4225-RPM 型のブロック図。4225-RPM 型は、パルスモードとして高速電流測定用の電流プリアンプと、4200A-SCS 型筐体内の他の機器用のパルスI-V、SMU、またはCV測定モードから選択する際に使用するスイッチモードを有する。

### 過渡測定と多チャンネル同期

4225-PMU型は、2つのチャンネルを有し、各チャンネルは、電圧および電流を同時にサンプリングする2つのA/Dコンバータを有している。2つのチャンネルを用いて、デバイスのゲートおよびドレインの両方は、DUTの動的な応答を取得するために、両チャンネルの電圧および電流をサンプリングする間、同期してパルス出力される。2チャンネル以上のパルスI-Vが必要な場合、複数の4225-PMU型カードを単一筐体に取り付けることができ、すべてのチャンネルは±2ns以内に自動的に同期される。この同時同期測定は、NVM材料およびデバイスのスイッチング挙動を理解するために重要である。

4225-RPM 型は、10mA から 100nA までの測定レンジを追加し、スイッチング状態の微小電流の

過渡特性評価を可能にする。さらに、RPM は、デバイスに対する SMU または CV 信号の切り替えを行うスイッチング機能を有する。

### パルス過渡とマルチレベル波形

4225-PMU 型は、20ns から 40s まで調整可能なタイミングパラメータを有する 2 つの独立チャンネルを有する。可能な最短パルスは 40ns(FWHM、パルス振幅の半値全幅)であるが、より小さな電流を測定するためにはより広いパルスが必要である。

Segment ARB(登録商標)機能を使用して、線形セグメント(電圧対時間)を一緒にリンクすることによって、マルチレベルまたはマルチパルス波形を生成することができる。各チャンネルは、単一のシーケンスで使用されるか、または複数のシーケンスにわたって使用され得る最大 2048 個のセグメントを有する。シーケンスは、通常、測定シーケンスが散在するループシーケンスにおけるストレス印加を提供するために、ループを可能にするセグメントのセットである。

測定はセグメントごとに制御されるので、必要なデータのみが収集され、ハイエンド・オシロスコープで利用可能なセグメント化されたメモリ機能と同様に、利用可能なサンプル記憶メモリの使用を最大限にする。さらに、サンプルおよび平均の 2 つの測定タイプが利用可能である。サンプルは、過渡現象を測定するのに有用な時間ベースの信号を捕捉するために使用され、パルス形状を評価することによって適切な接続を確認することができる。平均測定は I-V 特性を測定する際に使用される。どちらのタイプも、チャンネルごとに、波形のセグメント全体、部分セグメント、またはすべてのセグメントに適用することができる。

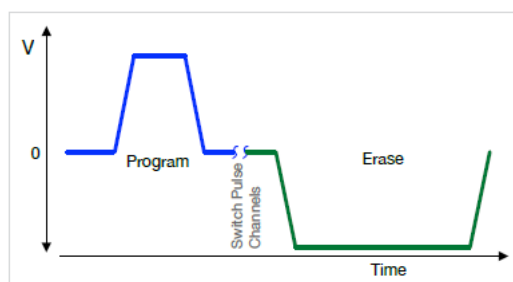


図 5. フラッシュメモリのプログラム及び消去波形: 3 値を持つ 2 つのパルス。従来のパルス発生器は、2 値のパルスしか出力できないので、フラッシュテストの際は、各テストピンに対して 2 つのパルスチャンネルと、第 2 の(負性)パルスをテストデバイスに印加するため、切り替え時間を要するスイッチを必要とした。このセットアップでは、1 つのデバイス端子についてのみ行えばよいことに留意されたい。ゲートおよびドレイン上の典型的なパルス印加のために、このセットアップを複製しなければならない。

単一の波形内に数十個または数百個の独特のパルスを出力させる機能は、2 値のパルスレベルしかパルス出力できない従来のパルス機器よりも試験時間を短縮する。従来のフローティングゲート型フラッシュメモリは、2 つのパルスチャンネルを使用して、テストデバイス端子に対して 3 値の電圧レベルを 2 つ生成する(図 5)。さらに、各パルスを交互に端子に送るために、パルス発生器と DUT との間に外部スイッチが必要であった。この外部スイッチによって、複雑さや費用が増し、最も重要なこととして、テスト時間が増加した。ゲートとドレインへのパルスは、同時に 4 つのパルスチャンネルと 2 組のスイッチが必要であった。図 6 は、相変化メモリを試験するために使用されるより複雑な波形を示している。波形上の赤いボックスは測定を表している。幅および高さに変化する 4 つのパルスからなる波形全体が、最大 2048 個のうちの 16 個のセグメントを使用して、単一の 4225-PMU 型チャンネルによって出力されることに留意されたい。



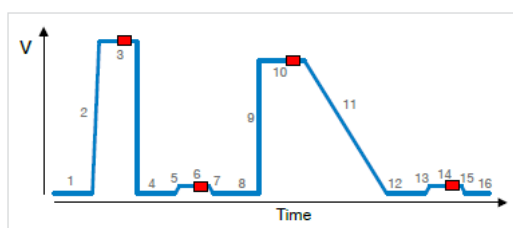


図6. 16個の線形電圧セグメント(番号)と4個の測定値(赤枠)からなるマルチレベルパルス波形。新しいパルスハードウェアは、マルチセグメント電圧波形を生成して、単一の波形内にいくつかのパルスを提供すること、ならびに積分されたVおよびIサンプリング(図示せず)を追加することを可能にする

## デバイスへの接続

図7は、2つの4225-RPM型 リモート・プリアンプ/スイッチを使用して2端子デバイスに接続するための一般的な方法を示す。4225-RPM型は、デュアルチャンネル4225-PMU型超速I-V モジュールのオプションであり、NVMの特性評価に必要となる。特定の接続図は、本アプリケーションノートで後述するnvmプロジェクト例のデバイスのために示される。NVMデバイス用のグラウンド接続は、選択デバイスとしてトランジスタを使用するメモリセルでは通常必要であるが、ローカルシールドに対して行われるべきであり、各チャンネルのシールドは互いに接続されるべきであることに留意されたい(図8)。これらのシールド接続は、今日の新規NVM技術に必要とされる高速過渡および狭いパルスに必要とされる比較的高い帯域幅を確保するために重要である。

単一のチャンネルを使用して2端子デバイスを接続することが可能であり、デバイスのLo側は、チャンネルのシールドまたは接地リターンに接続される。これは、単純な2端子デバイスを試験する従来の方法であり、DC特性評価でも合理的である。しかしながら、パルス中の過渡現象の影響のために、2端子デバイス上で2つのチャンネルを使用することは、より良好な結果を提供する。詳細については、「測定の最適化」のセクションを参照されたい。

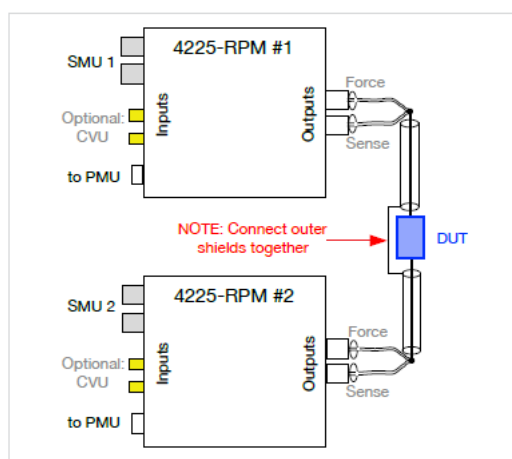


図7. 2端子測定デバイスに接続

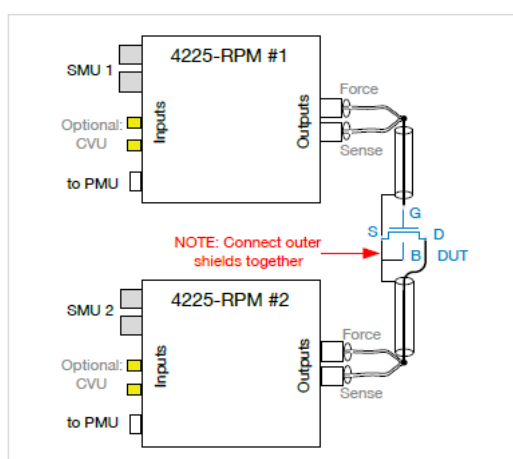


図 8. 2つの4225-RPM型を用いて4端子デバイスに接続

### Clariusソフトウェアを使用して4225-PMU型及び4225-RPM型を制御する不揮発性メモリ試験

ClariusソフトウェアにNVM特性評価のプロジェクト例が一組含まれている。これら4つのプロジェクト例は、Memoryのフィルタ検索を用いることによりProject Libraryで見つけることができる。図9は、フラッシュ・デバイスのプロジェクトである***Floating Gate Nonvolatile Memory Characterization Project***のスクリーン・キャプチャを示す。プロジェクトは、フラッシュ、PRAM、FeRAM、およびReRAMデバイスのための試験およびデータを有し、4200A-SCS型、特に4225-RPM型を備えた4225-PMU型の能力を実証する。4225-PMU型 /4225-RPM型の組み合わせは、広範囲のNVM材料およびデバイスを調査および評価するための基本パルスおよび過渡I-V試験の能力を提供する。次に、ユーザ・モジュールについて簡単に説明する。

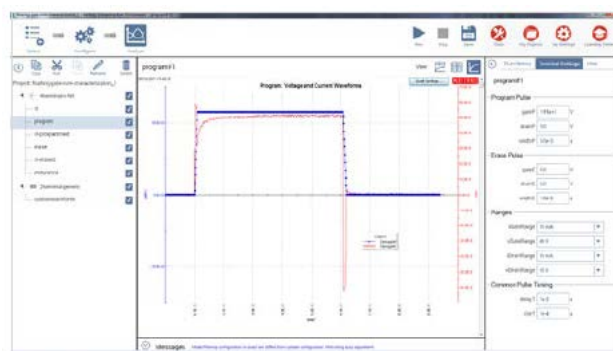


図 9. フローティングゲート型不揮発性メモリ評価プロジェクトのスクリーン・キャプチャ

プロジェクト例におけるテストは、各メモリタイプに対してカスタマイズされるが、追加のNVM材料またはデバイスタイプに対応するために必要となる作業を最小限に抑えるためのベースとして使用できる。プロジェクトで使用されたテストはすべて、***nvm***ユーザライブラリ(表2)に含まれている。これらのモジュールは、プロジェクト例で使用されるが、別のプロジェクトに追加することもできる。追加の機能またはテストタイプが必要な場合、モジュールのソースコードは、4200A-SCS型に含まれ、Keithley User Library Tool(KULT)を使用することによって修正することができる。

### フラッシュ・テスト

フラッシュセルは、NVMの主力であり、MOSFETトランジスタの基礎の上に実装されるので、標準的な

ース、ゲート(実際には、コントロールゲートまたはCG)、ドレイン、およびバルク/基板接続を有する(図12)。ゲート酸化膜を通るFowler-Nordheim電流トンネリングおよびホットキャリア注入がフローティングゲートに電荷を蓄積し、そこから電荷を除去する2つの標準的な方法を表している(図10)。これらの方法は、基準(非NVM)MOSFETトランジスタの劣化メカニズムであり、フラッシュメモリの限られた耐久性も説明する。NVM市場の大部分はフラッシュであるため、これは研究開発の活発な領域である[3,4]。

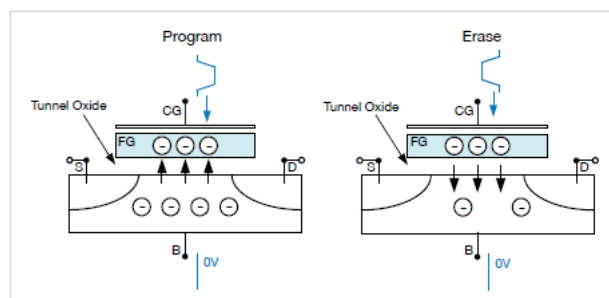


図10 フラッシュメモリ構造におけるFowler-Nordheimトンネルのプログラム及び消去条件

初期段階のフラッシュメモリの特性評価は、電圧パルスの高さ及びパルス幅の適切な値を決定して、プログラム状態及び消去状態の目標しきい値を提供する。従来の1ビット(1/0)セルの代わりに、ほとんどの現代のフラッシュメモリは、4つまたは8つの一意の $V_t$ レベルにマッピングするセル当たり2または3ビットを利用する。 $V_t$ レベルの数が増加するにつれて、より精密なパルスレベル性能およびより高いパルス電圧が必要となる

フラッシュ・デバイス・プロジェクト, ***Floating Gate Nonvolatile Memory Characterization Project***

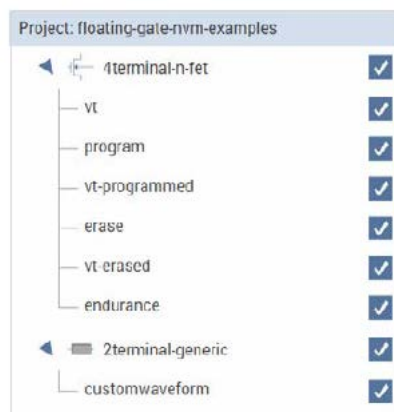
(図11)には、7つのテストがある。これらのテストは、独立したNANDまたはNORセルをサポートする。フラッシュメモリトランジスタの $V_t$ を測定する3つのテスト、プログラムまたは消去パルスを印加する2つのテスト、及び1つの耐久性テストがある。独立したフラッシュメモリセルへの接続を図12に示す。これらのテストでは2つのパルスIVチャンネルが使用されるため、ソース及びバルクの両方が4225-RPM型のシールドに接続される。これらのテストは、以下のハードウェアを必要とする。

ユーザ・モジュール	使用	内容
<i>doubleSweep.c</i>	N/A	電圧、電流をサンプリングしながら、1~2個のV型波形を出力する。また、蓄積電荷を算出する4225-RPM型が2台、4225-PMU型が1台必要。
<i>doubleSweepSeg.c</i>	PRAM、FeRAM	doublesweepと同様に、波形データは、PRAM I-V sweepによって使用されるセグメントに分割されて戻される。また、FeRAMヒステリシステストで使用される蓄積電荷を計算する。4225-RPM型が2台4225-PMU型が1台必要。
<i>flashEndurance.c</i>	Flash	パルスストレスおよびDC測定サイクルを実行する。各log10波形カウントを測定しながら、要求波形の最大数を適用する。ストレス波形は典型的なプログラム及び消去であり、測定はSMUによって実行される。2台のSMUと2台の4225-RPM型を備えた1つの4225-PMU型が必要。
<i>flashProgramErase.c</i>	Flash	電圧と電流をサンプリングしながら、プログラムパルス波形と消去パルス波形を印加する。プログラムと消去の両方を出力するか、パルスをつだけ出力するかを選択できる4225-RPM型が2台、4225-PMU型が1台必要。

<code>nvmDebug.c</code>		このユーティリティモジュールは、テストを行わず、テスト内ステータス情報をファイル(C:\nvmlog.txt)に保存する。これは、特に既存のテスト・モジュールを変更したり、新しいテスト・モジュールを書き込んだりするときに、テスト問題をデバッグするのに役立つ。
<code>pramEndurance.c</code>	PRAM	ストレスを実行し、相変化メモリのサイクルを測定する。このテストは、ストレスに対してRESET-SET波形を使用し、各log10カウントは、RESET-measure-SET-measureを使用して、RESETおよびSET後の抵抗測定値を得る。4225-PMU型1台と2台の4225-RPM型が必要。
<code>pramSweep.c</code>	PRAM	電圧と電流をサンプリングしながらRESET-measure-SET-measure波形を出力する。4225-RPM型が2台4225-PMU型が1台必要。
<code>pulse_test.c</code>	Flash、PRAM、FeRAM	これは、全ての試験によって使用される基礎となる試験ルーチンである4225-RPM型が2台、4225-PMU型が1台必要。詳細については、C:\¥4200¥kiuser¥usrlibs¥nvm¥4200A_nvm_project_notes.pdfファイルを参照。
<code>pundEndurance.c</code>	FeRAM	FeRAMのストレス-メジャーサイクル試験を実行する。ストレス波形は最大回数出力され、PUNDおよびPswおよびQswを得るためlog10ベースで中断される。ストレス波形はPUND波形であり、測定値はdoubleSweepSegによって制御される2つのVpulsesである。4225-RPM型が2台4225-PMU型が1台必要。
<code>pundTest.c</code>	FeRAM	この試験では、電圧および電流をサンプリングしながら4パルスのPUND波形を出力する。このルーチンでは波形からP、U、N、およびD値を抽出する4225-RPM型2台の4225-PMU型が必要。
<code>reramSweep.c</code>	ReRAM	このテストは、2つのパルスを出力し、一方のパルスは「SET」のために使用され、他方のパルスは「RESET」のために使用される。パルスは、SMUによって、またはPMUによって生成され得る。SMU Sweepは低速(msレンジ以上)であり、PMU Sweepは高速(ns~msレンジ)である。両方の電圧スイープ(PMUおよびSMU)を電流制限で使用できる。2台のRPMと2台のSMUを備えた1台のPMUが必要。
<code>reramEndurance.c</code>	ReRAM	ReRAMメモリのストレスと測定サイクルを実行します。このテストは、ストレスに対してRESET-SET波形を使用し、各log10カウントは、RESET-measure-SET-measure波形を使用して、RESET後およびSET後状態に対する抵抗測定値を得る。2台のRPMと2台のSMU商品を備えた1台のPMUが必要。
<code>util.c</code>		このユーティリティ・モジュールは、テストを行わず、ハードウェア初期化、合計点の計算、および最大許容サンプリングレートの計算などの他のテストのためのサポート・ルーチンを有する。
<code>vt_ext.c</code>	Flash	VgId sweepを実行し、電圧閾値(Vt)を抽出する。2つのSMUが必要。

表 2. `nvm` ユーザ・ライブラリのユーザ・モジュール

- 4200A-SCS 型
- ミドルパワー-4200-SMU 型もしくはハイパワー-4210-SMU 型いずれかのうち 2 つ以上の SMU
- 2 台の 4225-RPM 型と 1 台の 4225-PMU 型

図 11. *Floating Gate Nonvolatile Memory Characterization Project* のフラッシュデバイスのテスト

3つの  $V_t$  テストは同じで、フラッシュトランジスタの  $V_t$  を測定するために2つのSMUを使用する。**program** 及び **erase** テストは、単独のフラッシュメモリセルのプログラム及び消去のためにパルス波形を与える。4225-PMU 型は高速サンプリングを搭載しているため、**program** 及び **erase** テストも電圧及び電流波形を所得できる(図13)。それらのテストのどちらも電荷の転送にFowler-Nordheimトンネリングを用いているため、ドレイン電圧=0V となり、グラフはゲート電圧と電流のみを示す。しかしながら、ゲート及びドレインの電流と電圧の両方が各試験で測定されるため、必要に応じてそれらを表示することができる。

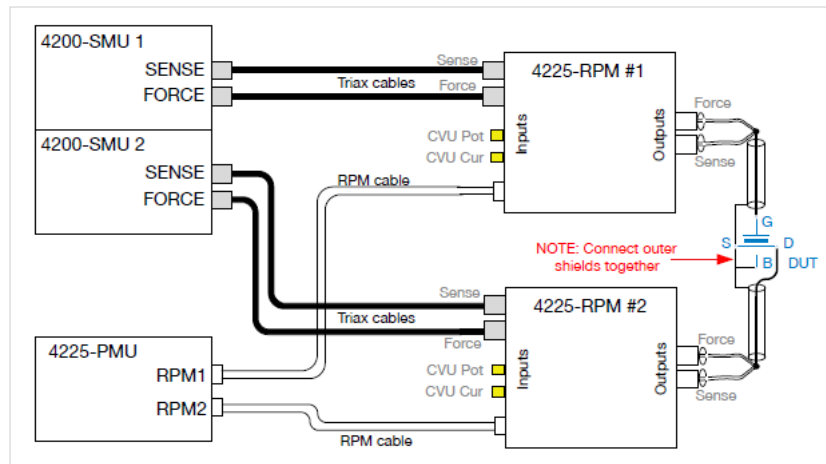


図 12. 4 端子フローティングゲートフラッシュデバイスへの接続

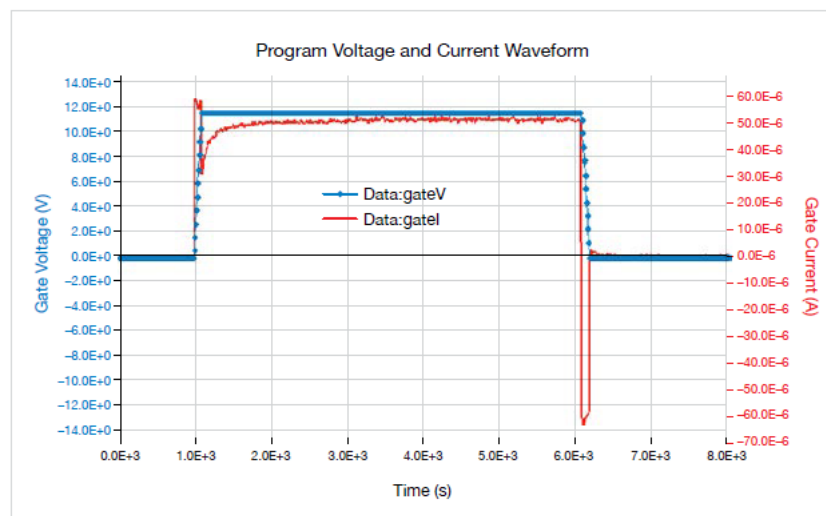


図 13. 4225-RPM 型付きの 4225-PMU 型を用いた NAND セルに対する **Program** パルスのパルス電流及び電圧波形。パルス遷移時の容量性充放電電流に留意されたい。このグラフは、**Flash program** テスト(モジュール **flashProgramErase** を使用)からのものである。

パルスを印加しながら電流を測定することはこれまででは現実的ではなかった。トンネル電流は印加電圧に対して非線形のため、測定された電流は、プログラムまたは消去に対する十分な電界を与える電圧にどの程度近いかの追加情報を提供する。過渡電流は動的な電流の流れ及び全体的な電荷移動の情報を提供する。過渡電流と過渡電圧の情報を用いることにより、異なる構造、寸法、および材料特有のプログラムおよび消去プロセスのさらなる理解を提供する。プログラムおよび消去パルスの結果は、**vt-programed**および

**vt-erased**テストである(図14)。

最後のテストは**endurance**であり、プログラム+消去波形は増加するログ間隔で印加され、次いでプログラムおよび消去Vtが測定され、プロットされる(図15)。

### フラッシュ・メモリ試験モジュール

NAND または NOR フローティングゲートデバイスのいずれかをテストするため次の 3 つのモジュールが用意されている：**flashProgramErase**, **vt\_ext**, **flashEndurance**。**flashProgramErase** は、プログラムパルス、消去パルスあるいはその両方をパルス波形を印加する。**vt\_ext** モジュールは、SMU を使って Vg-Id スweepを行い、しきい値電圧を抽出する。**flashEndurance** は、プログラム+消去波形の数を増やしながら与え、定期的にプログラム及び消去のしきい値電圧を測定しプロットする。

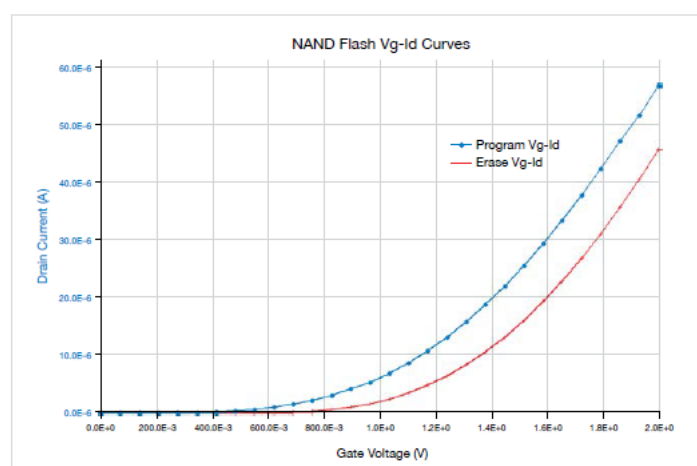


図 14. **vt-erased** テスト(ユーザ・モジュール **vt\_ext**)から、SMU で取得されたプログラムおよび消去されたセルに対する Vt スweep。このグラフでは、プログラム後と消去後の Vt の差は約 180mV である。

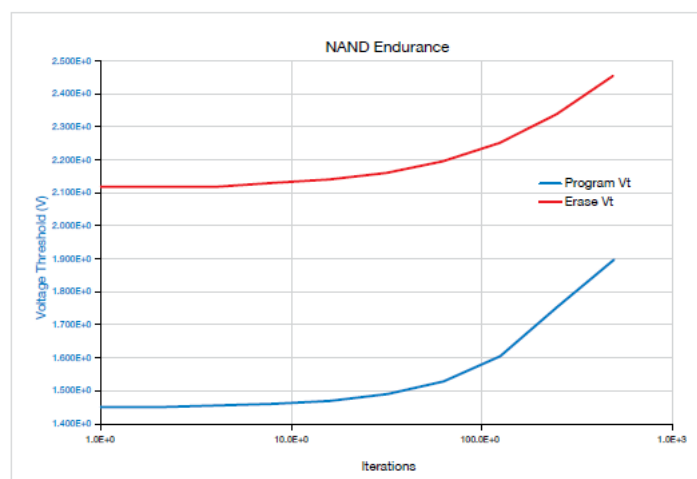


図 15. **Flash endurance** test(ユーザ・モジュール **flashEndurance**)による NAND フラッシュ耐久性の結果。

初期の特性評価およびプログラムおよび消去のための適切なパルスパラメータの決定のために、**flashProgramErase** および **vt\_ext** モジュールは、パルスパラメータの調整、次いで SMU を用いた電圧し

きい値の測定を可能にする 4225-RPM 型スイッチング能力は、パルスまたは SMU 機器の電圧を交互にデバイスに印加するために使用されるため、再配線を必要としないことに留意されたい。

**flashProgramErase** モジュールは、4225-PMU 型および 4225-RPM 型を使用し、4225-PMU 型のセグメント ARB 機能を用い、単一パルス波形またはデュアルパルス波形を出力する。モジュールは、4225-PMU 型の 2 つのチャンネルをサポートするので、任意のパルス電圧をゲートおよびドレインに出力することができる。このモジュールはまた、パルス形状および適切な電圧レベルの検証のような、波形の診断目的の測定が行える。

### flashProgramErase モジュールのパラメータ設定

表3にflashProgramEraseモジュールの入力パラメータを示す。このモジュールは、ゲートおよびドレインのプログラムおよび消去パルスの両方の設定を必要とする。4225-PMU型の両方のチャンネルを使用し、それぞれを4225-RPM型に接続する(図12)。本モジュールは、図16に示すプログラム波形と消去波形を設定し出力する。プログラムおよび/または消去パルスを送信した後、電圧しきい値を測定するには、次のセクションで説明するvt\_extモジュールを使用する。

表 3. flashProgramErase モジュールのパラメータ

パラメータ	レンジ	内容
gateP	-40V to +40V	ゲートプログラムパルス電圧
drainP	-40V to +40V	ドレインプログラム電圧
widthP	20ns~1s	プログラムパルス幅
ゲートE	-40V to +40V	ゲート消去パルス電圧
drainE	-40V to +40V	ドレイン消去パルス電圧
widthE	20ns~1s	消去パルス幅
riseT	20ns to 33ms	プログラムと消去の立ち上がり、立下りパルス遷移時間
delayT	20ns~1s	パルス遅延時間、プログラムパルス前、およびプログラムパルスと消去パルスの間
loop	1~10 <sup>12</sup>	ProgramErase波形の出力回数

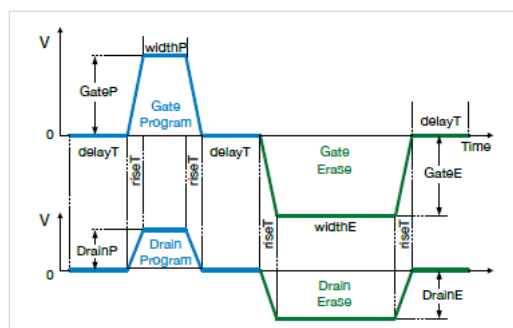


図 16. flashProgramErase モジュールの波形パラメータ

1 つのパルスのみが必要な場合、他のパルスレベルを 0 に設定する。例えば、消去パルスが不要な場合、

drainE=gateE=0 に設定する。これにより、波形の消去部分は 0V のままになる。

Fowler-Nordheim トンネリングの場合、通常、ドレイン電圧は 0V であり、ゲートパルス(gateP)のみが、電荷をフローティングゲートに押し込むか(gateP=+V)、または電荷をフローティングゲートからクリアする(gateE=-V)ように設定される。ホットキャリア注入法の場合、ドレイン電圧は正であり、ホットキャリアを生成するのに必要な電界をチャンネル内に生成する。

### vt\_ext モジュールのパラメータ設定

表 4 は、vt\_ext モジュールの入力パラメータを示す。このモジュールは、 $V_{GS}-I_D$  スweep を実行し、最大 gm 法を使用してトランジスタのしきい値電圧を返す。ここで、しきい値電圧は、以下のように定義される。

$$V_T = V_{GMAX} - I_{DMAX}/g_{mMAX} - 1/2 * V_{DS}$$

$V_{G\ Max}$  はゲート電圧の最大値

$I_{D\ MAX}$  はドレイン電流の最大値

$g_{m\ MAX}$  は相互コンダクタンス( $g_m$ )の最大値

表 4. vt\_ext モジュールのパラメータ

パラメータ	レンジ	内容
DrainSMU	SMU1 to SMUn	DUTドレイン用SMU
GateSMU	SMU1 to SMUn	DUTゲート用SMU
SourceSMU	SMU1 to SMUn	DUTソース用のSMU(使用する場合)
BulkSMU	SMU1 to SMUn	DUTバルク用SMU(使用する場合)
vlow	-40V to +40V	ゲートSMUのスweep開始電圧
vhigh	-40V to +40V	ゲートSMUの最終スweep電圧
vds	-40V to +40V	ドレインバイアス電圧
vbs	-40V to +40V	バルクバイアス電圧
vgs_pts	10~100	Vgs-Idスweep点数
ids_pts	10~100	Vgs-Idスweep点数
gm_pts	10~100	Gm配列の点数
vt		最大Gm計算の結果のしきい値電圧

$V_T$  スweepにおける点数は、vgs\_pts および ids\_pts、gm\_pts によって設定される。3つのパラメータはすべて同じ値に設定されなければならないことに留意されたい(vgs\_pts = ids\_pts = gm\_pts)。通常、信頼性のある  $V_T$  を得るためには、30 点のスweepで十分である。

このモジュールは、**DrainSMU** が RPM2 に接続され、**GateSMU** が RPM1 に接続されていると仮定すると、図 1 2 に示すように、デバイスのソースおよびバルクは RPM のシールドに接続され、したがって、vt\_ext における適切な設定は、SourceSMU=BulkSMU=""となる。

### flashEndurance モジュールのパラメータ設定

表 5 は、flashEndurance モジュールの入力パラメータを示す。このモジュールは、ゲートおよびドレインのプログラムおよび消去パルス、ならびにストレスループの最大数の両方の設定を必要とする。それぞれが



4225-RPM 型に接続されている(図 1 2)4225-PMU 型の両方のチャンネルを使用する。このモジュールは、プログラム波形および消去波形の数(**max\_loops**)(図 1 6)をテストデバイスに出力する。モジュールは、**max\_loops**からの log10 ストレスカウントと、**iteration\_size**における所望の反復回数とを使用して、各ストレス間隔に対していくつのプログラム+消去パルス波形を適用するかを決定する。各ストレス間隔の後、プログラムパルスが印加された後、消去後に、**vt\_ext** が実行される。なお、**iteration\_size**、**vtE\_size**、**vtP\_size** は、同じ値 (**iteration\_size = vtE\_size = vtP\_size**)でなければならない。

表 5. **flashEndurance** モジュールのパラメータ

パラメータ	レンジ	内容
gateP	-40V to +40V	ゲートプログラムパルス電圧
drainP	-40V to +40V	ドレインプログラム電圧
widthP	20ns~1s	プログラムパルス幅
gateE	-40V to +40V	ゲート消去パルス電圧
drainE	-40V to +40V	ドレイン消去パルス電圧
widthE	20ns~1s	消去パルス幅
riseT	20ns to 33ms	Program+Eraseパルスの立ち上がりと立ち下りのパルス遷移時間
delayT	20ns~1s	パルス遅延時間、プログラムパルス前、およびプログラムパルスと消去パルスの間
max_loops	1~1012	Program+Erase波形を出力して試験デバイスにストレスをかける回数
vds	-40V to +40V	Vtスイープ時のドレインバイアス電圧
vgsstart	-40V to +40V	Vtスイープ時のゲートスイープ開始電圧
vgsstop	-40V to +40V	Vtスイープ時のゲートスイープ終了電圧
vtP_size	2~100	プログラムパルス後のVgs-Idスイープの点数
vtE_size	2~100	消去パルス後のVgs-Idスイープの点数
Iteration_size	2~100	max_loopsストレス中にVtを測定する回数

## PRAM 材料の試験：

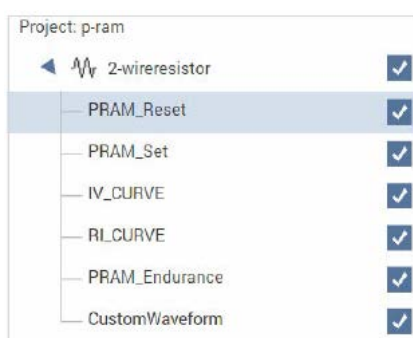


図 17. **Phase-Change NVM Project** における PRAM 2 端子デバイスの試験

相変化メモリ(PRAM、PCRAM、または PCM)セルは、カルコゲニド合金(すなわち、元素の周期律表の VI グループから少なくとも 1 つの元素に、V グループおよび IV グループからそれぞれ 1 つの元素を加えたもの)から作製される。これらの同じ材料の種類は、CD や DVD などの書き換え可能な光媒体の活性層にも広く使用されている。PRAM は、抵抗メモリ的一种である。他のタイプの抵抗性メモリは、OxRRAM および TMO-RRAM(両方とも酸化還元 RAM のタイプである)および陽イオンベースの導電性ブリッジメモリ

(CBRAM)を含む。図 17 は、**Phase-Change Nonvolatile Memory Characterization Project** (PRAM) における相変化メモリ試験に含まれるテストを示す。

電気パルス(または CD/DVD におけるレーザーパルス)の生成による熱の適用により、PCM セルは、規則正しい結晶相(低抵抗)から無秩序な非晶質相(高抵抗)に急速に切り替わる。結晶相と非結晶相の切り替えは融解と急冷却(または再結晶として知られるやや遅い処理)により誘発される。PCM 装置のための最も有望な材料の 1 つとして、500°C~600°Cの融解温度を有する GST[ゲルマニウム(Ge)、アンチモン(Sb)、およびテルル(Te)]が現れた(図 18)。

これらの合金の結晶相および非晶質相の抵抗率のレベルが異なるため、これらのデバイスではバイナリデータを記憶することができる。高抵抗非晶質は、バイナリ 0 を表し、低抵抗結晶状態は 1 を表す。複数の抵抗レベルによって、ビット PCM は実証されており、PCM をスケールし、ビット当たりのコストを下げることを可能にする。[5, 6]。これらの状態は、経時的に安定であり、これは、任意の商業的用途にとって重要である[7]。

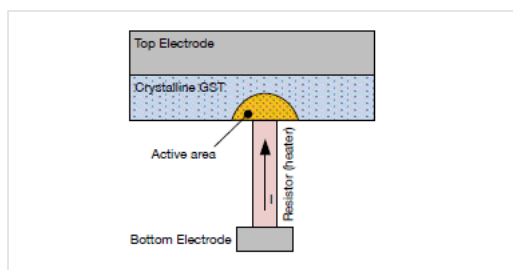


図 18. GST[ゲルマニウム(Ge)、アンチモン(Sb)、テルル(Te)]構造

非晶相において、GST 材料は、短距離アトム数および低い自由電子密度を有し、より高い抵抗率を意味する。これは、通常、セルの温度が融点よりわずかに高くなるリセット操作の後に形成され、その後、材料が急激に急冷されて冷却されるので、リセット相と呼ばれることがある。冷却速度は、アモルファス状態の形成にとって重要である。速度が遅すぎる場合、材料は非晶質性が低くなる。いわゆる「遅い材料」では、冷却速度は約 30 ナノ秒であり、「速い材料」では、それは単一ナノ秒以上の範囲である[8]。パルスの立ち下がり時間は、必要とされる速度よりも遅くすることができ、重要なことは、セルが融点から結晶化まで冷却するときのパルスの頂部における立ち下がり速度である。結晶化温度に達した後、結晶秩序を凍結する。例えば、パルス立ち下がり時間は 20ns であっても  $T_{MELT}$  から  $T_{CRYSTALLIZE}$  への移行には 5ns を要する。さらに、ある PRAM 構造には選択ダイオードや保護ダイオードが PRAM セルに直列に作り込まれている。I-V 曲線のいくつかの欠点に加えて、このダイオードは、有効立ち下がり時間を短くする。ダイオードを流れる電流は指数関数的に電圧に依存するので、電圧の小さな低下は、とりわけ小さな電流( $\sim 50\mu A$ )で、ダイオードを流れる電流の劇的な減少をもたらす。したがって、直列選択ダイオード付きのデバイスをテストする場合、パルス立ち上がり時間は小電流テストデバイスにとってそれほど重要ではなく、4225-PMU 型や 4225-RPM 型のようなパルス IV 測定器での測定が可能になる。

他のタイプの NVM 技術と全く同様に、PCRAM セルは、メモリ素子であるために必要な一貫したスイッチング特性を表す前にフォーミングされなければならない。フォーミングプロセスを説明する 1 つの方法は、PCRAM セルの活性領域を形成することである。活性領域は、アモルファス状態と結晶状態との間で移行するカルコゲニド材料の部分である。図 18 の半円形状はフォーミングプロセスの結果としての活性領域を表す。フォーミングプロセスの目標は、SET 状態とリセット状態との間の再現可能なサイクルである。新しい又は未知のセルをテストする

際の 1 つの課題は、リセット及びセットパルスに対する適切なパルスパラメータ(振幅、上昇/立ち下がり (rise/fall)、幅)を決定することである。これは、通常、最初に妥当な RESET パルスで開始し、次に SET パルスを最適化する反復処理である。このパルスパラメータの初期決定には、**pram-reset** および **pram-set** テストが有用である。フラッシュメモリと同様に、セルに過大なストレスを与え、永久的に損傷を与える可能性がある。リセット電圧が最も大きいため、適切なリセット電圧の探索は注意深く行わなければならない。

プロジェクトには、相変化メモリデバイスのテストがある(図 17)。**pram-reset** テストは、PRAM デバイスに RESET パルス波形を出力し、抵抗測定パルスを実行する(図 20)。**pram-set** テストは最初のテストと同様であるが、測定パルスが後に続く SET パルスで構成された波形を出力する。スイッチング特性を示す I-V スweep 試験(iv 曲線)がある(図 22)。**ri-curve** テストは、セルの抵抗対 SET パルスの電流(R-I)の典型的な R-I 曲線を示す(図 24)。**pram-endurance** テストは耐久性試験であり、SET 抵抗対 RESET-SET 波形の数の変化を示す(図 26)。

これらのテストは、以下のハードウェアを必要とする。

- 4200A-SCS型
- 2台の4225-RPM型を持つ1つの4225-PMU型

配線図は図 19 に示されており、最適な測定値を得るために、接続は、「測定値の最適化」の章で説明された、Hi 側印加、Lo 側測定法を使用する。SMU テストを追加することは可能であるが、これらのテストでは SMU は使用されない。

**pram-reset** テストは、リセットと測定の 2 パルの波形をテストデバイスに印加し、電圧と電流の波形を取得する(図 20)。この過渡応答データは、デバイスの抵抗およびリセットの程度を決定するために有用である。この試験および **pram-set** テストは、リセットパルスおよびセットパルスの適切な電圧およびパルス幅、ならびにリセット専用波形またはセット専用波形を試験装置に送る方法を決定するために使用される。耐久性試験を実施する前に、これらの試験を用いて RESET および SET パルスのパラメータを最適化する。

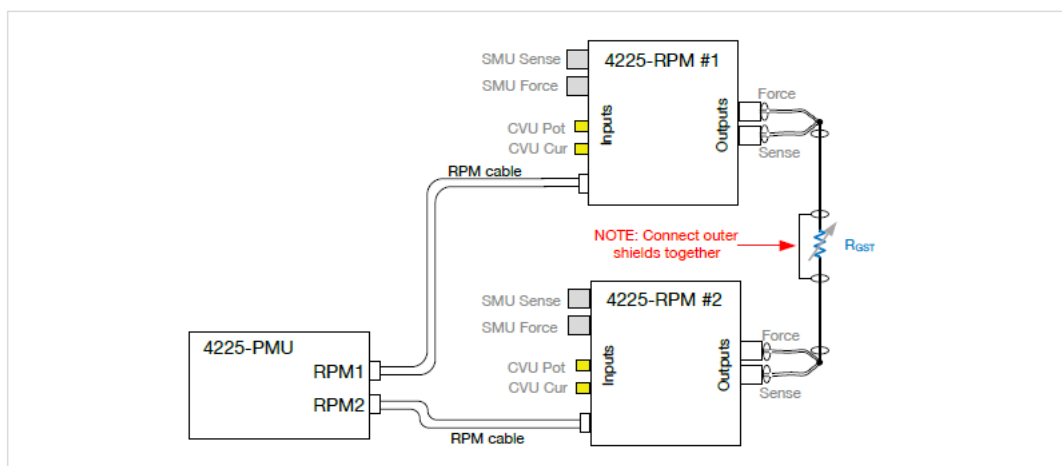


図 19. PRAM テストの配線図。PRAM テストは、SMU または CVU を使用しないことに留意されたい

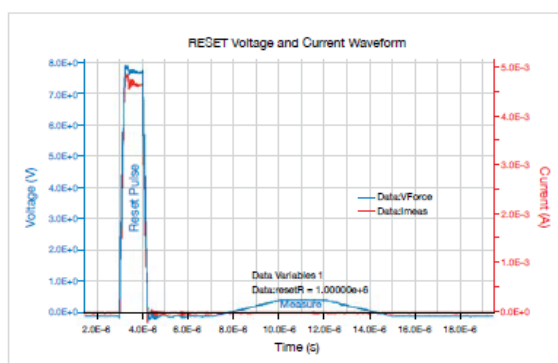


図 20. 4225-PMU 型によって 4225-RPM 型(ユーザ・モジュール *pramSweep*)で生成および測定された PRAM RESET 波形

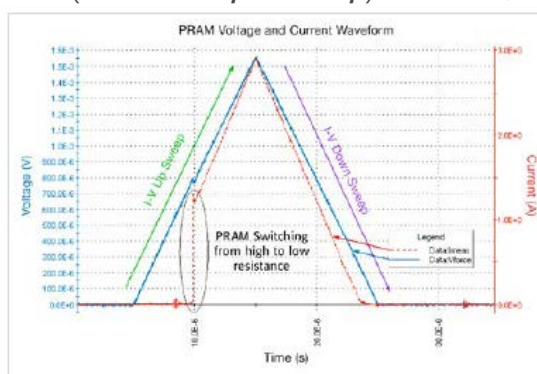


図 21. 4225-PMU 型(ユーザ・モジュール *doubleSweepSeg*)で 4225-RPM 型で生成、測定した *iv-curve* テストからの I-V 波形

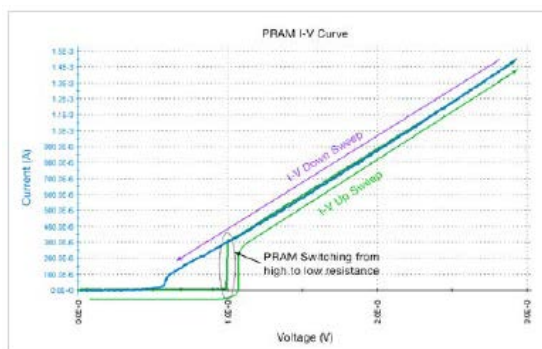


図 22. 4225-RPM 型 付きの 4225-PMU 型により作成、測定した *iv-curve* テストからの I-V 曲線

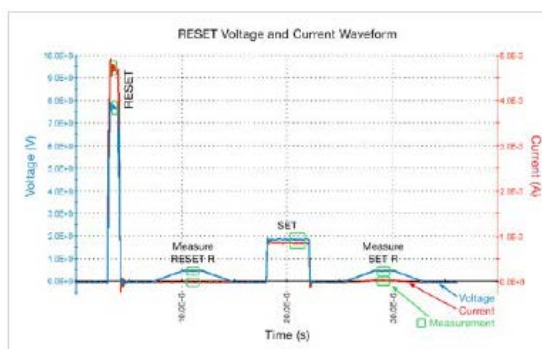


図 23. 4225-RPM 型 付きの 4225-PMU 型 (ユーザ・モジュール *pramSweep*)で生成および測定された

R-IRESET-Measure-SET-Measure 波形。このグラフは、電圧(青、左のY軸)および電流(赤、右のY軸)波形を示す。この波形内には4つのパルスがある。第1のパルスはリセットパルスであり、これはPRAM材料をリセットし、それを高抵抗のアモルファス状態にする。第2のパルスは、リセット状態の抵抗を測定する。第3のパルスは、材料を低抵抗の結晶状態にするSETパルスである。4番目および最後のパルスは、SET状態における材料の抵抗を測定する。図24は、SETパルス高さをスイープし、その結果をR-I曲線にプロットした結果である。

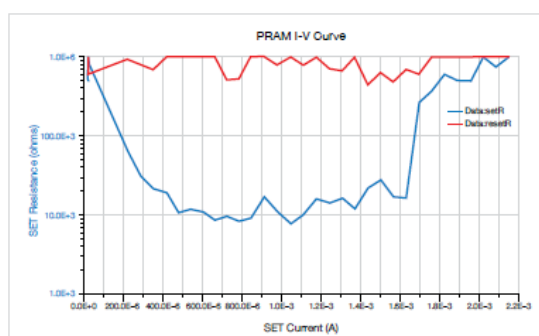


図24. R-I曲線は、4225-RPM型(ユーザ・モジュール *pramSweep*)を用いた4225-PMU型によって生成され測定されたSET状態抵抗の抵抗変化を示す。このテストは、図23に示すパルストップ部から捕捉されたデータを使用する

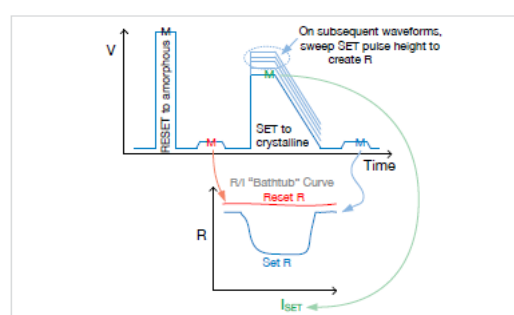


図25. この図は、R-I曲線を定義するために様々な測定がどのように使用されるかを説明する。SET曲線は、リセット抵抗(赤M)、SET電流(緑M)、およびSET抵抗(青色M)が測定される間にスイープされる

I-V sweepテストは、PRAMスイッチング特性を取得するために単一の逆V字形パルスを使用する。このテストは、VおよびIサンプリングのパルスを使用するので、データを見る2つの方法がある。図21は、IおよびVを時間に対してプロットした波形データを示す。これは、特性を表示する一般的な方法ではなく、テストがどのように行われるかを示す。第2のグラフ(図22)は、一般的なPRAM I-V曲線(電流対電圧)を示している。

R-I曲線は、典型的な相変化特性試験である。SETパルス電圧は、RESETおよびSET抵抗値が測定されている間に増加される。図23は、R-I曲線の1点に対する4つのパルス波形を示す。曲線については、スポット平均(緑色のボックス)をとり、R-I曲線の測定値を取得する(図24)。RESETパルスはスイープ全体にわたって変化しておらず、その結果RESET抵抗が直線になっているが、RESET抵抗は伝統的にSET抵抗とともに表示されることに留意されたい。RESET Rをプロットすることにより、各SETパルスの後RESETパルスが材料を適切にリセットしているかどうかを確認できる。図25は、波形測定値がどのようにR-I結果にマッピングされるかを示す。一部の測定システムには抵抗測定にSMUを使用しているものがあるが、それには追加のスイッチングが必要であり、測定時間がはるかに長くなる。PMUとRPMの組み合わせは、試験の複数の点で電圧および電流を同時に測定し、適切な測定が行われることを確実にしながら、柔軟性を提供する。

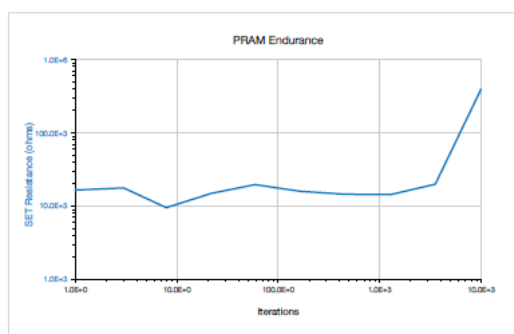


図 26. 4225-RPM 型 付きの 4225-PMU 型により (ユーザ・モジュール *pramEndurance*) で作成、測定した PRAM 耐久性曲線

PRAM 耐久性試験は、RESET+SET 波形(図 23)を適用し、log n 反復毎に SET 抵抗を測定する。図 26 は、耐久性曲線の一例を示す。このルーチンはリセット抵抗も測定するので、必要に応じてグラフ化することもできる。

### PRAM 試験モジュール

相変化材料またはデバイスのテストには 3 つのモジュールがある。*doubleSweep*、*pramSweep*、*pramEndurance* は 4225-PMU 型と 2 つの 4225-RPM 型を用いる。*doubleSweep* モジュールは、電圧および電流をサンプリングしながら、単一の V 字形パルスを印加する。

### *doubleSweep* のパラメータの設定および *doubleSweepSeg* モジュール

表 6 に、4225-PMU 型と 4225-RPM 型を 2 つ使用して、1 つまたは 2 つの V 字形パルス(図 27)からの I-V サンプルをプロットすることによって、過渡的な I-V スイープを実行する *doubleSweep* モジュールの入力パラメータを列挙する。単極(V1 および V2+V)または両極(V1=+V、V2=-V)のいずれであっても、このモジュールは様々な NVM 技術に役立つ。PRAM の場合、最初のパルスのみが使用されるので、V2=0 である。

表 6. *doubleSweep* および *doubleSweepSeg* モジュールのパラメータ

パラメータ	レンジ	内容
<i>riseTime</i>	20ns to 33ms	パルスの遷移時間
V1	-10V to +10V	第1パルスの電圧振幅
V2	-10V to +10V	第2パルスの電圧振幅
<i>Irange1</i>	100nA to 10mA	RPM1(RPM1 forces voltage)の電流測定レンジ
<i>Irange2</i>	100nA to 10mA	RPM2の電流測定レンジ(RPM2測定電流)

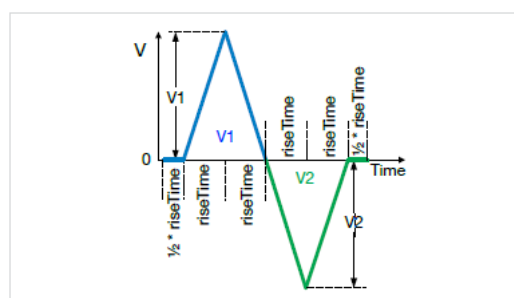


図 27. *doubleSweep* のマルチパルス波形

この試験から2つの波形、すなわちRPM1上の電圧波形およびRPM2からの電流波形が戻される(図19の接続図を参照)。V1およびV2(はいずれの極性であってもよいことに留意されたい。パルスのベース電圧は0Vである。返されるデータは、RPM1からの電圧( $V_{\text{FORCE}}$ )およびRPM2からの電流( $I_{\text{MEAS}}$ )である。データは、時間に対してプロットすることができ(図21、V1のみを示す)、またはI-Vとしてプロットすることができる(図22)。**doubleSweep**と**doubleSweepSeg**との違いは、**doubleSweepSeg**モジュールが各上下セグメントを別々の配列として返すことであり、これは、曲線の各部分を別々の色でプロットして、ヒステリシスまたは他の比較的複雑なI-V結果に対するそれぞれの寄与を区別することを可能にする。このルーチンの例が図22に示されており、上向きスイープは緑色で、下向きスイープは青色である。FeRAMの場合、両方のパルスが使用される(図31)。このモジュールは、ReRAM、CBRAM、および他の電導性ブリッジまたはイオン輸送技術の材料特性評価にも有用であり、その多くは遷移金属酸化物(TMO: transition metal oxide)材料に基づく。このテストは、TMO ReRAMの特性評価のための標準技術である「バタフライ」曲線を作成するために使用することができるデータを返す。

### pramSweepモジュールのパラメータの設定

表7に、**pramSweep**モジュールの入力パラメータを列挙する。このモジュールは、パラメータ反復によって設定されたステップ数で、**setStartV**から**setStopV**へのSET電圧振幅スイープを実行する。波形図は図28に示されており、スイープの各ステップで、RPM1の電圧波形とRPM2の電流波形からいくつかの測定値(図28の緑色のボックス)が抽出される：リセット抵抗(リセットパルス後のセル抵抗の測定)、SET抵抗(SETパルス後のセル抵抗の測定)、およびSetVおよびSetI(SETパルスの先頭の電流および電圧)。測定値は、パルスストップの30%~90%から抽出され(図28の緑色のボックス)、これは、電流セトリングの問題を回避し、測定値におけるノイズを低減するために比較的広いウィンドウを提供する。各スイープに対するポイント測定値(Reset R、Set V、Set I、Set R)に加えて、このルーチンは、スイープの1つのステップからの1つの電流および電圧波形も返す。どの波形が取り込まれ、返されるかの選択は、**iteration**の値で設定される。

表7. **pramSweep**モジュールのパラメータ

パラメータ	レンジ	内容
<i>riseTime</i>	20ns to 10ms	リセットパルスの立ち上がり立ち下がり時間
<i>resetV</i>	-10V to +10V	リセットパルスの電圧
<i>resetWidth</i>	20ns~1s	リセットパルスのパルスストップ幅
<i>measV</i>	-10V to +10V	測定Vパルスの電圧
<i>measWidth</i>	20ns~1s	測定Vパルスのパルス上幅
<i>Delay</i>	20ns~1s	測定パルスに対するパルスと立ち上がり/立ち下がり間の時間
<i>setWidth</i>	20ns~1s	SETパルスのパルス上幅
<i>setFallTime</i>	20ns to 10ms	SETパルスの立ち下がり時間
<i>setStartV</i>	-10V to +10V	SETパルス振幅スイープの開始電圧
<i>setStopV</i>	-10V to +10V	SETパルス振幅スイープの終了電圧
<i>Irangle1</i>	100 nA to 10 mA	RPM1(RPM1 forces voltage)の電流測定レンジ
<i>Irangle2</i>	100 nA to 10 mA	RPM2の電流測定レンジ(RPM2測定電流)
<i>iteration</i>	1~10,000	SET sweepから取り込む波形
<i>setR_size,</i> <i>resetR_size,</i> <i>setV_size,</i> <i>setI_size</i>	10~10,000	SET sweepのステップ数および測定配列のサイズ。すべてのサイズが同じ値に設定されている必要がある
<i>pts</i>	10~10,000	返された波形点の数

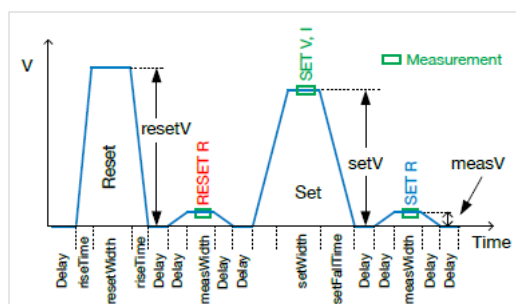


図28.PRAM波形の定義

抵抗の変化の可視性を高めるために、 $>1\text{M}\Omega$ の値を $1\text{M}\Omega$ に設定することにより、ノイズフロアにおける偶発的な電流測定による大きな抵抗値( $5\text{M}\Omega$ から $100\text{M}\Omega$ )が表示されることを防ぐ。パルスストップ測定のサイズパラメータ(*setR\_size*、*resetR\_size*、*setV\_size*、*setI\_size*)は、すべて同じ値 (*setR\_size*=*resetR\_size*=*setV\_size*=*setI\_size*)でなければならないことに留意されたい。同様に、サンプル波形配列の場合、サイズは同じ値に設定されなければならない(*VForce\_size* = *IMeas\_size* = *Time\_size*)。

### pramEndurance モジュールのパラメータの設定

表 8 に、*pramEndurance* モジュールの入力パラメータを列挙する。このモジュールは、リセット+SET 波形(図 28)*max\_loops* 時間を適用し、リセットおよび SET 抵抗を測定することによって、PRAM セルにストレスを加える。ストレス/測定サイクルの数は、*max\_loops* 内の  $\log_{10}$  間隔で生じる *iteration\_size* の値によって決定される。

表 8. *pramEndurance* モジュールのパラメータ

パラメータ	レンジ	内容
<i>riseTime</i>	20ns to 10ms	リセットパルスの立ち上がり/立ち下がり時間
<i>resetV</i>	-10V to +10V	リセットパルスの電圧高さ
<i>resetWidth</i>	20ns~1s	リセットパルスのパルス幅
<i>measV</i>	-10V to +10V	測定Vパルスの電圧
<i>measWidth</i>	20ns~1s	測定Vパルスのパルス幅
<i>delayT</i>	20ns~1s	測定パルスに対するパルスと立ち上がり/立ち下がり間の時間
<i>setWidth</i>	20ns~1s	SETパルスのパルス幅
<i>setFallTime</i>	20ns to 10ms	SETパルスの立ち下がり時間
<i>setV</i>	-10V to +10V	SETパルス電圧の大きさ
<i>Irange1</i>	100nA to 10mA	RPM1(RPM1 forces voltage)の電流測定レンジ
<i>Irange2</i>	100nA to 10mA	RPM2の電流測定レンジ(RPM2測定電流)
<i>max_loops</i>	$1 \sim 10^{12}$	試験デバイスに印加されるリセット+セット波形の最大数
<i>setR_size</i> , <i>resetR_size</i> , <i>setI_size</i> , <i>iteration_size</i>	2~10,000	返された測定のためのアレイのサイズ。すべてのサイズが同じ値に設定されている必要がある



## FeRAM 材料試験

強誘電体不揮発性メモリ特性評価プロジェクトは、**図 29** に示すように FeRAM(または FRAM)およびスタンダードアロン(1C)デバイスに使用される 2 端子強誘電体材料のテストを行う。配線図を**図 30** に示す。最良の測定値を得るために、「最適化測定」のセクションで説明したソースハイ、メジャーロー法を使用している。

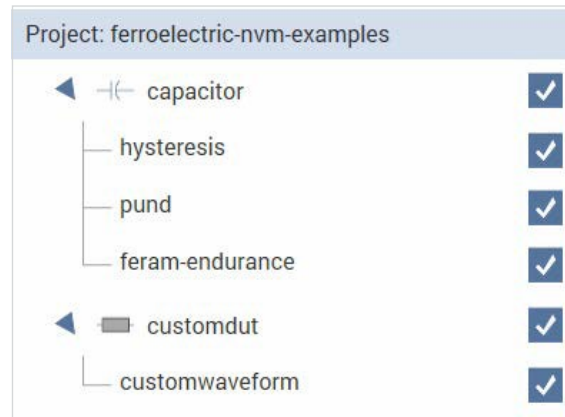


図 29. FeRAM デバイスのテスト

これらのテストは、以下のハードウェアを必要とする。

- 4200A-SCS型
- 2台の4225-RPM型を持つ4225-PMU型

FeRAM メモリ効果は、キャパシタ内の電荷蓄積に依存するが、典型的なキャパシタの誘電体層の代わりに強誘電体層を使用する。FeRAM のメモリ機構は、強誘電体材料における分極シフトに基づいている [9,10,11,12]。強誘電材料は、印加電界(E)と分極(P)との間に強い非線形依存関係を有する。電界が臨界レベルに達すると、結晶構造内のイオンは、1 つの安定位置から別の安定位置へ移動する。このシフトは、強誘電体磁壁のシフトを伴う。電気的には、電場と分極の間の依存関係を示すヒステリシスチャート(**図 32**)によって表される。一方の状態と他方の状態との間のスイッチは、再分極中に移動した電荷の量を表すヒステリシスの面積によって特性が評価される。

強誘電体キャパシタ特性評価の課題は、基本的な挙動が、強誘電体材料の分極状態の切替えであり、それが変化するときキャパシタ上の分極電荷を測定する必要があることである。通常、負荷コンデンサ、パルス発生器、およびオシロスコープが、ソーヤタワー回路で使用される。このアプローチでは、FE 材料に流れる電荷の代用として負荷コンデンサの過渡電圧をオシロスコープまたはサンプラーを用いて測定することになり、この方法にはいくつかの欠点がある。

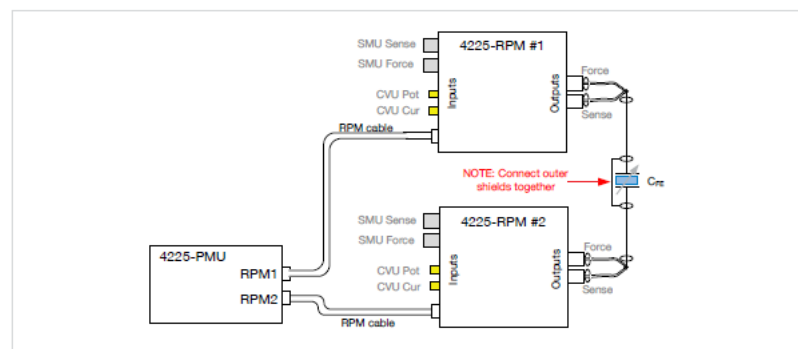


図 30. FeRAM テストの接続。FeRAM テストは、SMU または CVU を使用しないことに留意されたい。

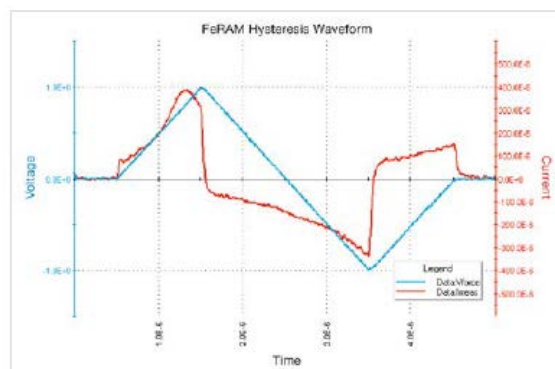


図 31.4225-RPM 型付きの 4225-PMU 型(ユーザ・モジュール *doubleSweepSeg*)で生成、測定されたヒステリシス波形。このグラフは、FE キャパシタに印加される電圧波形(青)と電流(赤)を示す。図 32 は、典型的なヒステリシス電荷対電圧曲線を示す。

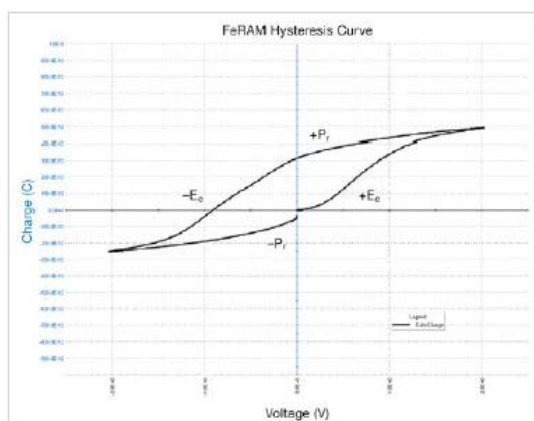


図 32. 4225-RPM 型付きの 4225-PMU 型(ユーザ・モジュール *doubleSweepSeg*)によって生成および測定されたヒステリシス曲線。このグラフは、材料に対し電圧が変化するときの極性電荷の変化を示す。 $E_c$  は保磁場であり、 $P_r$  は残留分極であり、これらは FeRAM 性能の重要なパラメータである。良好でリークのないデバイスにおける適切なテストパラメータは、0V で始まり終わる完全なループを示す。

負荷容量は、負荷容量に対する電圧降下が無視できるようにするためにFE容量に対して大きい必要があり、さもなければ、FEエレメントに対する電圧を得るためにいくらか不十分な仮定を適用しなければならない。しかし、この大きな負荷容量は、センス電圧がかなり小さいことを意味しており、この電圧をオシロスコープまたはデジタイザを用いて正確に測定することは困難である。

PMU+RPM のソリューションは、全電荷が正確に求めることができるように、電流と電圧を直接かつ同時に測定するので、負荷コンデンサ法を必要としない。電荷は、時間にわたって一貫してサンプリングされる高速電流測定値から計算され、その結果、高速電荷測定値が得られる。報告される値は、単位面積当たりの電荷ではなく、電荷値であることに留意されたい。しかしながら、計算機能を用いることにより、与えられた電荷値から単位面積当たりの電荷を計算することは容易である。

FeRAMセルは、PCRAMおよび他のNVM材料のように、セルが再現可能なスイッチング挙動を示す前に、フォーミングステップまたはプロセスを必要とする。PUNDまたはFeRAM耐久性試験を用いて、フォーミングパルスを印加することができる。PUND試験は、形成のために少数のパルスが必要とされる場合に適切であり、一方、耐久試験は、多数のパルスが必要とされる場合により適している。ヒステリシス曲線は、測定デバイスが十分にフォーミングされたかどうかを評価できる(図 32 の 0V におけるギャップを参照)。

ヒステリシステストは、電流を測定するために正および負のV字形パルスを適用する。電流は連続的にサンプリングされるので、総電荷量の計算は簡単である。図 31 は、FE キャパシタに印加され PMU+RPM によって測定されたテスト信号を示す。図 32 は、図 31 のデータから抽出されたヒステリシス曲線を示し、良好なデバイス上の適切なテストパラメータは、0V で開始および終了する完全なループを示すはずである。

ヒステリシス曲線の特性形状は、固有の強誘電体材料性能の尺度であるばかりでなく、FE キャパシタ製造後に生じる半導体プロセスによる劣化を示すこともある。

PUND テストは、強誘電体材料の極性変化の特性評価を行う。Positive, Up, Negative, Down(図 33)の 4 つのパルスが順次印加されるので、PUND と呼ばれる。2 つのアップパルス(赤 P および赤 U)間の電流の形状の変化および、2 つのダウンパルス(赤 N および赤 D)についても同様であることに留意されたい。第 1 のパルスは、容量電荷のみを有する第 2 のパルス(赤 U または赤 D)と比較して、分極(赤 P または赤 N)を変化させるために追加の電荷/電流を必要とする。これらの間の差(P-U または N-D)は、分極電荷またはメモリ効果を表す。P<sub>sw</sub> はアップパルス(P<sub>sw</sub> = 赤 P - 赤 U)中の分極電荷である。Q<sub>sw</sub> は、2 つの分極からの 2 つの電荷の平均である(2 つのアップパルスおよび 2 つのダウンパルス、 $Q_{sw} = ((\text{赤 P} - \text{赤 U}) + (\text{赤 N} - \text{赤 D}))/2$ )。基本的なデバイスおよび材料の特性評価に加えて、PUND 試験は、耐久性試験の適切な電圧およびタイミングを決定するために使用される。

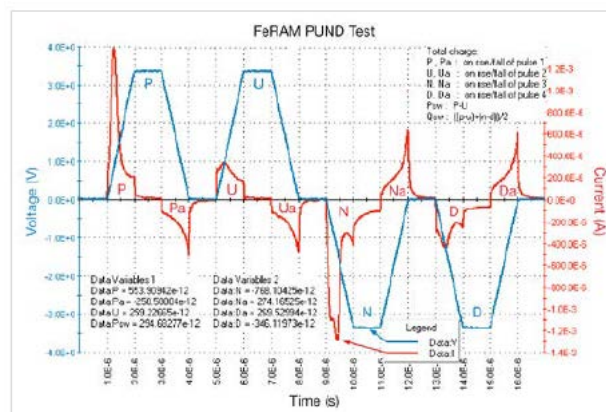


図 33. 4225-RPM 型(ユーザ・モジュール pundTest)を用いて 4225-PMU 型によって生成および測定された PUND 波形。このグラフは、印加された電圧パルスおよび電流応答を示す。P、U、N および D の値は、電流波形から抽出される

耐久試験は、印加されるパルスの数が増加するにつれて分極電荷が減少することを示す。いくつかのデバイスでは、分極電荷は、初期パルスストレスの間、さらに多くのストレスで低下する前に、わずかに増加することがある[13]。図 34 に、Q<sub>sw</sub> および P<sub>sw</sub> の耐久性結果の例を示す。Q<sub>sw</sub> の劣化は、1,100 万サイクルで始まる。劣化の兆候は、パルス振幅に強く関係しており、したがって、異なる材料および PUND 電圧によっては、劣化曲線著しく異なったものになる。図 35 は、P、U、N、および D の電荷の変化を示し、図 34 に示されるデータを決定する。

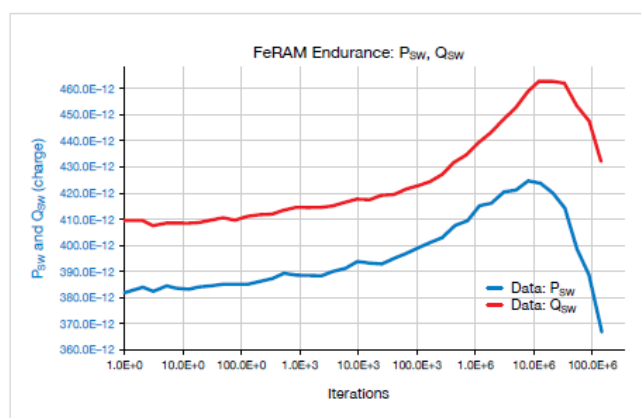


図 34.  $P_{sw}$ 、 $Q_{sw}$ (ユーザ・モジュール *pundEndurance* を使用)の劣化を示す FeRAM 耐久性試験。いくつかの FeRAM 耐久性曲線は、 $Q_{sw}$  のみを示す。このデータは、4225-RPM 型付きの 4225-PMU 型で取得された。

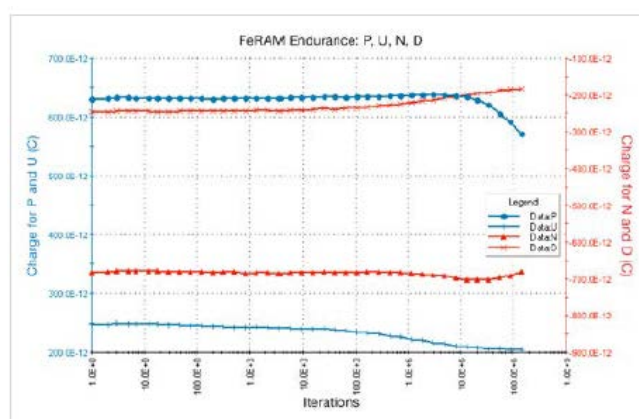


図 35. P 値、U 値、N 値、D 値の劣化を示す FeRAM 耐久性試験(ユーザ・モジュール *pundEndurance*)。このデータは図 34 のデータの作成に使用され、4225-PMU 型(4225-RPM 型)で取得された

## FeRAM 試験モジュール

強誘電体材料またはデバイスを試験するための 3 つのモジュールがある：*doubleSweep*、*pundTest*、*pundEndurance*。

### *doubleSweep* モジュールのパラメータ設定

このモジュールは、PRAM テストの *iv-curve* で使用されるものと同じモジュールである。しかしながら、PRAM 試験は V 字形パルスの 1 つのみを使用し、一方、FE キャパシタヒステリシス試験は 2 つのパルスを使用する(図 27 は定義を示し、図 31 および 32 は FeRAM の測定結果を示す)。

表 6 に、*doubleSweep* モジュールの入力パラメータを列挙する。

### *pundTest* モジュールのパラメータ設定

PUND テストを構成する 4 つのパルスを、表 9 および 10 で簡単に説明したパラメータで適用する。このテストでは、4200A-SCS 型筐体の最初の 4225-PMU 型に接続された 4225-RPM 型を使用する(図 30)。RPM1 は電圧パルスを出力し、印加電圧を測定する。RPM2 は、試験デバイスを通る電流を測定する。返

される値は、電圧(RPM1 から)、電流(RPM2 から)、および時間配列を含む。さらに、各パルス過渡に対する電荷が戻される。図 36 は、パルスパラメータの定義を示す

表 9. *pundTest* モジュールの入力パラメータ

パラメータ	レンジ	内容
<i>Vp</i>	-10V to +10V	4つのPUNDパルスの電圧レベル。第1および第2のパルスは+ <i>Vp</i> であり、第3および第4のパルスは- <i>Vp</i> である(図36)。
<i>tp</i>	20ns~1s	各パルストップの幅
<i>td</i>	20ns~1s	各パルス間の遅延時間
<i>trf</i>	20ns to 10ms	全パルスのパルス遷移時間
<i>Irange1</i>	100nA to 10mA	RPM1(RPM1印加電圧)の電流測定レンジ
<i>Irange2</i>	100nA to 10mA	RPM2(RPM2印加電圧)の電流測定レンジ

表 10. *pundTest* モジュールの出力パラメータ

パラメータ	タイプ	内容
<i>V</i>	Double array	PUND波形の電圧測定値の配列
<i>I</i>	Double array	PUND波形の電流測定値の配列
<i>t</i>	Double array	PUND波形のタイムスタンプの配列
<i>P</i>	Double	パルス1の立ち上がり時の総電荷
<i>Pa</i>	Double	パルス1の立ち下がり時の総電荷
<i>U</i>	Double	パルス2の立ち上がり時の総電荷
<i>Ua</i>	Double	パルス2の立ち下がり時の総電荷
<i>N</i>	Double	パルス3の立ち上がり時の総電荷
<i>Na</i>	Double	パルス3の立ち下がり時の総電荷
<i>D</i>	Double	パルス4の立ち上がり時の総電荷
<i>Da</i>	Double	パルス4の立ち下がり時の総電荷
<i>Psw</i>	Double	P-Uと定義される分極電荷
<i>Qsw</i>	Double	平均分極電荷:((p-u)+(n-d))/2
<i>pts</i>	Double	総点数

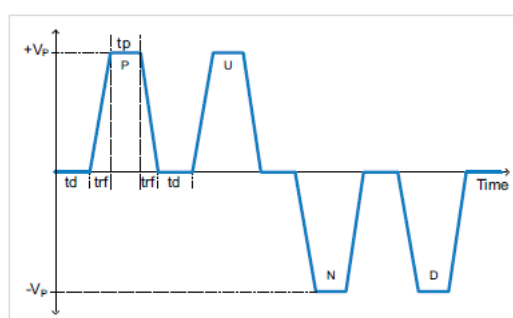


図 36. *pundTest* のパルス波形パラメータ

### *pundEndurance* モジュールのパラメータ設定

このモジュールは、4つのパルスから構成される PUND テストを *max\_loops* 回テストデバイスに印加するストレス/メジャーテストであり、パラメータを表 11 および 12 に簡単に解説する。ストレス PUND 波形を *max\_loops* 回を適用しながら、測定間隔の数は、*fatigue\_count* によって設定される。各測定間のストレス波形の数は、log10 ベースで計算される。返されたパラメータは *pundTest* と同様であり、パルスパラメータの定義を図 36 に示す

表 11. *pundEndurance* モジュールの入力パラメータ

パラメータ	レンジ	内容
<i>Vp</i>	-10V to +10V	4つのPUNDパルスの電圧レベル。第1および第2のパルスは+ <i>Vp</i> であり、第3および第4のパルスは- <i>Vp</i> である。
<i>Vfat</i>	-10V to +10V	fatigue波形の2つのパルスの電圧レベル。最初のパルスは+( <i>Vp</i> )であり、最後のパルスは-( <i>Vp</i> )である。
<i>Tp</i>	20ns~1s	各パルスストップの幅
<i>td</i>	20ns~1s	各パルス間の遅延時間。
<i>trf</i>	20ns to 10ms	全パルスのパルス遷移時間
<i>Irange1</i>	100nA to 10mA	RPM1(RPM1印加電圧)の電流測定レンジ
<i>Irange2</i>	100nA to 10mA	RPM2(RPM2印加電圧)の電流測定レンジ
<i>pts_</i> <i>per_waveform</i>	10~10,000	PUND測定波形あたりの測定点数
<i>max_loops</i>	1~10 <sup>12</sup>	試験デバイスに印加されるストレス波形の総数
<i>fatigue_count</i>	2~100	<i>max_loops</i> 中の測定間隔の数。

表 12. *pundEndurance* モジュールの出力パラメータ

パラメータ	タイプ	内容
<i>Iteration</i>	Integer: 1~100	測定間隔の数は、 <i>fatigue_count</i> と同じかまたはそれ以上でなければならない
<i>P</i>	Double	Pパルス立ち上がり時の総電荷
<i>Pa</i>	Double	Pパルスの立ち下がり時の総電荷
<i>U</i>	Double	Uパルス立ち上がり時の総電荷
<i>Ua</i>	Double	Uパルスの立ち下がり時の総電荷
<i>N</i>	Double	Nパルス立ち上がり時の総電荷
<i>Na</i>	Double	Nパルスの立ち下がり時の総電荷
<i>D</i>	Double	Dパルス立ち上がり時の総電荷
<i>Da</i>	Double	Dパルスの立ち下がり時の総電荷
<i>Psw</i>	Double	P - Uで定義される分極電荷
<i>Qsw</i>	Double	平均分極電荷:((p-u)+(n-d))/2

## ReRAM と CBRAM の試験

前述したように、ReRAMおよびCBRAMは、酸化還元メモリ的一种である[14]。ReRAMおよびCBRAMは両方とも、通常、SMUを使用してDC領域で試験されるが、SMUは、いくつかのメモリタイプを試験するための最良の計測器ではない場合がある。

従来のReRAM試験セットアップでは、最初に低抵抗状態を形成するために、SMU電流コンプライアンスを使用して、フォーミングまたはリセット動作中にテストデバイスを流れる最大電流を制限する。その要望は、電流の量を制限して、セルにかかるストレスを低減し、またスイッチングプロセスの品質を改善することである。

しかし、SMUのコンプライアンス回路は瞬間的ではなく、完全に機能するのに数マイクロ秒からミリ秒かかる。回路がアクティブになる前に、流れる電流の量は、完全には知られておらず、または制御されていない。電流コンプライアンスの実際の過渡応答、および変化するテストデバイスのインピーダンスとSMUの反応との間の詳細な相互作用は、複雑であり、十分に理解されていない。

パルス I-V の特性評価は、テストデバイスに印加される電圧信号の厳密なタイミング制御を提供することによって、状況を改善する。抵抗性不揮発性メモリ特性化プロジェクトにおけるテストは、ReRAM 及び CBRAM の特性化のために用いることができる。

プロジェクトに、ReRAM デバイスの結果が示されている。ReRAM メモリデバイスは、ロー側およびハイ側を有する 2 つの端末デバイスである。電圧パルスが酸化物に印加され、主流の文献によれば、これによって導電性フィラメントが生成される。フィラメントを作製するプロセスは、「フォーミング」と呼ばれ、ReRAM スイッチング挙動を決定する最も重要な特徴と考えられる。フォーミングは通常、電流制限を有効にした DC 電圧スイープで実行される。

一般に認められているように、以下のプロセスが行われる。電圧が上昇するにつれて、電界が大きくなる。これが充分になると、導電性フィラメントは、一方の電極から反対の電極まで材料を通して成長し始める。それが起こるとすぐに、電流が制限され、導電性フィラメントセクションの更なる成長を阻止する。デバイスの抵抗は、高抵抗から低抵抗に、例えば、数メガオームからキロオームレンジに低下する。これは電流が制限される速度が ReRAM のフォーミングにとって重要であることを意味しており、その結果、更なる特性評価が必要になるという問題を提起している。業界では、直流(SMU)電流制限のスピードが比較的遅く、 $\sim 100\mu\text{s}$  レンジにあることはまだあまり知られていない。

この問題に対する理想的な解決策は、ウエハ上に直接電流制限トランジスタを備えた構造を設計することである。これは、最小の寄生容量および最小の応答時間を保証する。しかし、電流制限がウエハ上で利用できない場合、フォーミングメカニズムをより良く理解するために、SMU 電流制限および 4225-RPM 型電流制限の両方を使用することを提案する。

フォーミング後、印加された RESET パルスは、構造の抵抗を低抵抗から高抵抗に変更させる。これは、一方の電極近傍の導電性フィラメントの破壊によるものと考えられる。ReRAM 構造は、対称または極性であり得る。極性デバイスは、フォーミングパルスの特定の極性を必要とし、非対称材料レイアウトを有する。極性デバイスの場合、フォーミング(およびセットパルス)は、リセットパルスとは反対の極性を有する。

図 37 は、ReRAM テストに使用されたテストを示す。特性試験は標準試験であり、ReRAM デバイスが試験され、それが有効であり、使用可能であることが検証される。

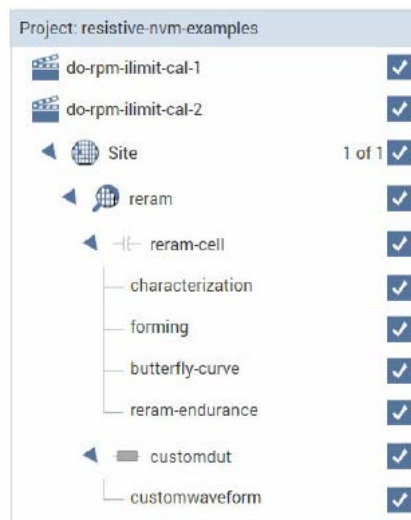


図 37 ReRAM プロジェクトのテストのスクリーンショット

フォーミングおよびバタフライ曲線試験は、Set/Reset シーケンスである。**reram-endurance** 試験は耐久試験である。図 38 は、2 端子 ReRAM デバイスの接続図を示し、パルスおよび SMU 接続の両方を示す。なお、チャックや裏面接続がある場合は、この端子に RPM1 を接続する。

図 39 において、左の Y 軸を使用する青色の曲線は、ReRAM デバイ스에 印加される過渡電圧を示す。右の Y 軸を使用する赤色の曲線は、応答電流である。x 軸は、数百マイクロ秒の時間であることを留意されたい。電圧振幅は $\pm 2.3V$  である。同じ IV プロットデータが右側に示されている。バイアスに対する電流の指数関数的依存関係は、デバイスがまだフォーミングされておらず、特性評価のために使用できることを示している。

このデータは、テストルーチン、**reramSweep** を用いて、PMU および 2 つの RPM で収集され、同様のデータを収集するために SMU を使用するように構成することもできる。RPM を有する PMU を用いたテストと SMU を用いたテストの間には、いくつかの大きな違いがある。第 1 に、SMU スイープは、数秒までのかなりの時間を要し、一方、PMU+RPM スイープは、数百ナノ秒もの速さが可能である。第 2 に、RPM の電流制限機能は、SMU よりもはるかに速い。SMU 電流コンプライアンスが有効になる時間は、特定の構成および SMU モデルに依存してほぼ  $100\text{--}500\mu\text{s}$  であり、一方、RPM の限界は、数百ナノ秒もの速さ、事実上 $\sim 3$  桁の速さであり得る。ウエハ上に配置された制御トランジスタも、エネルギー制御の点でより速くより良好であるが、RPM 電流制限は、SMU テストと比較できる研究上の利点を提供する。PMU+RPM を使用することにより、ウエハ上の電流制限機能の追加のための複雑で潜在的に高価な遷移状態における有益な情報を得ることができる。

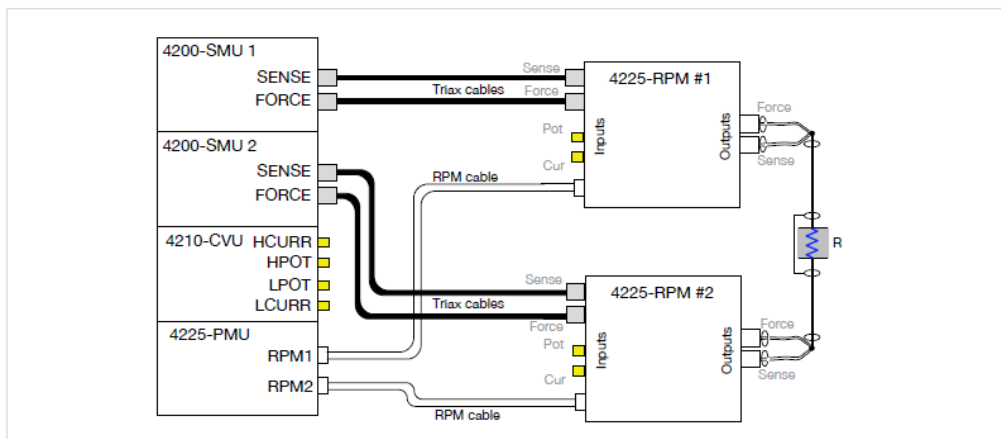


図 38.2 端子 ReRAM デバイスの接続



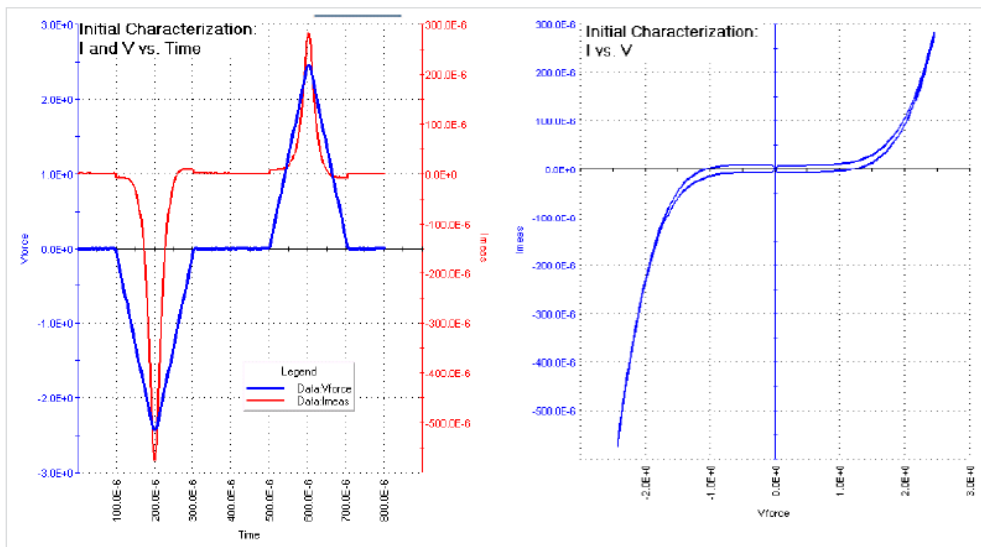


図 39. ReRAM 構造の特性評価試験

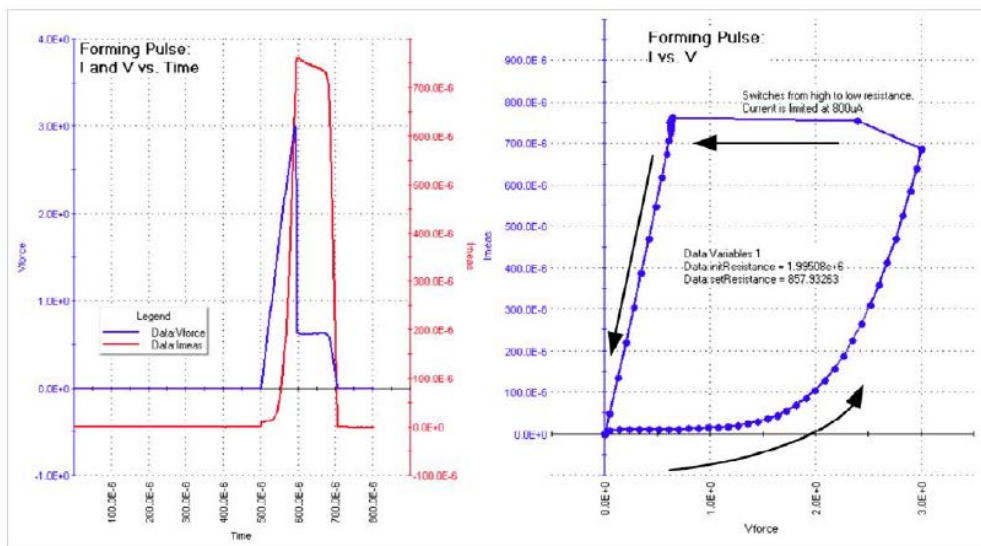


図 40. ReRAM のフォーミング

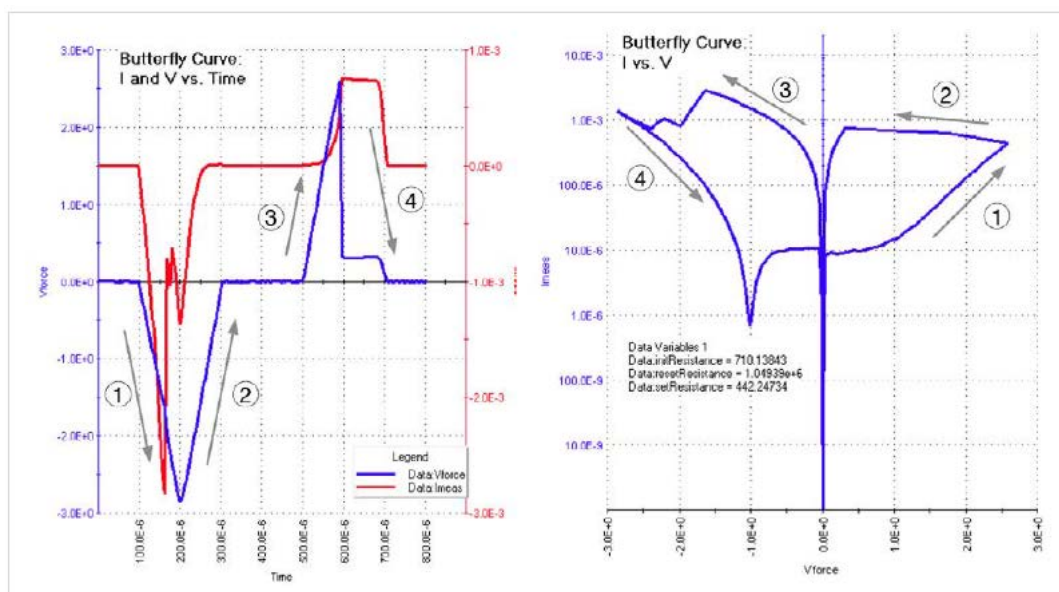


図 41. ReRAM のバタフライカーブ

パルスアプローチの別の利点は、もう一方のPMU+RPMチャネルを使用して、試験デバイスを通る電流を、パルス源の反対側またはLo側で測定することによって、充電効果を回避することである(図50)。より速い電流制限は、定電圧ストレス(CVS: constant voltage stressing)中にも有用である。従来、CVSは、SMU機器を使用して行われたが、PMU+RPMを使用して行うこともできる。

パルス過渡における充電効果の詳細な説明を以下に示す。

ReRAMのフォーミング結果を図40の2つのグラフに示し、左側のグラフは電圧および電流過渡(VおよびI対時間)であり、右側のグラフは電流対電圧としてプロットされた同じデータである。電流は電圧がある値に達すると、指数関数的に増加する。フィラメントが確立されると、デバイスは低抵抗状態に切り替わり、電流制限によりフィラメントの更なる成長が妨げられる。PMU+RPMを用いて電流制限を有効にしてフォーミングを行った。ReRAM分野の研究者の大半によって使用される標準的なテスト構成は、DC機器、SMU機器を電流コンプライアンスで使用することである。PMU+RPMを用いて行われるフォーミングは、SMU機器によるアプローチとは異なり、フォーミング中に電流及び電力過渡を測定することができるが、SMU機器を用いて行われるフォーミングは、そのプロセスを観測することができない。文献によると、フォーミングプロセスは、主として、電流制限値およびその起動速度によって制御される。右側のグラフは同じデータを示しているが、電流対電圧がプロットされている。追加された矢印は、曲線の時間経過を示し、左側の時間ベースのグラフとの比較を可能にする。

図41に示されるように、「バタフライ」曲線を取得するために、すでにフォーミングされたデバイスに、特性化及びフォーミングのために使用されたのと同じテストルーチンを適用する。左側のチャートは、前述のように、電流および電圧の過渡現象(IおよびV対時間)を示す。右側のチャートは、バタフライ形状の電流対電圧プロットである。同じルーチン、**reramSweep**は、異なるテスト条件で、DC(SMU機器)データとパルス(PMU)データの両方を得ることができる。これは、ReRAM特性評価におけるDCモードとパルスモードとの間の便利な切り替え機能が可能にしている。

バタフライ曲線の左翼は、抵抗が低抵抗状態から高抵抗状態に切り替わるときのRESET移行であり、電流制限が有効にされていないことに留意されたい。電圧極性は、形成およびSETに使用される極性とは反対である。リセットプロセスの間、導電性フィラメントは、1つの電極から別の電極への連続性を失うが、これ

は、フィラメントの小さなセクションに影響を及ぼすことが一般に仮定される。SETプロセスは1つの電極から別の電極への導電性フィラメントの連続性を再確立するために同じ極性のパルスを使用するという点で、フォーミングプロセスと非常に類似している。SETバイアスは、フィラメント全体を成長させる必要がないので、接続を再確立するだけであり、フォーミングプロセスよりも少ないバイアスしか必要としない。SET手順は、フォーミングと同様に、電流制限機能の使用を必要とするが、電流レベルは低い。

フォーミング、SET、およびRESETを含む、ReRAMテストのためのテストパラメータの選択は、初期フォーミングおよび特性評価のための論理的な進行に従う。

1. 最初に、いかなるフォーミングの前にも、試験デバイスが良好であることを検証し、それが非線形なI-V依存性をもつことを確認する(図39)。この最初のスクリーニングの間、フォーミング電圧、SET電圧、およびRESET電圧よりも低い電圧を使用するように注意すべきである。
2. フォーミングは臨界的なプロセスである(図40)。最大バイアスの値は、フィラメントの成長を誘発するように選択されるべきである。同時に、電流制限は、十分に小さくなければならず、それによって、フィラメントが過度に安定になるのを防ぐ。導電性フィラメントが安定しすぎる場合、リセットバイアスの量がフィラメントを切断せず、フィラメント内に十分な電界が得られない。RESETパルスの電圧バイアス値は、フィラメントを破壊するのにちょうど十分でなければならない。
3. SETバイアスの電流制限は、フォーミングと同様に、フィラメントを再接続するのにちょうど十分な大きさであるべきであるが、次のSET/RESETサイクルにおいて「切断」を防ぐには大きすぎてはならない。フォーミング/SETおよびRESETパラメータの選択は、いくら扱いくく、十分な調査を必要とし、臨界的な方法でReRAMデバイスの耐久性を制御する。耐久性はSET/RESETサイクルの最大数として定義され、LOWおよびHIGH抵抗状態は十分に異なる。

図42は、ReRAM構造の耐久試験の一例を示す。耐久試験は、PRAM、フラッシュ、及びFeRAMの耐久試験と同様である。抵抗メモリの場合制御パラメータは、抵抗でありローとハイの2つの状態を有する。低抵抗は、導電性フィラメントが形成され、酸化物を挟んで対向する電極が接続された状態に対応する。高抵抗とは、フィラメントの小さな部分が高抵抗材料に変換されて戻っている状態である。フォーミング、SET、およびリセットプロセスの選択は、低抵抗状態が高抵抗状態と区別できなくなるのにどれだけのサイクルを要するかを定義し、これはデバイス耐久性における最大サイクル数を決定する一つの方法である。

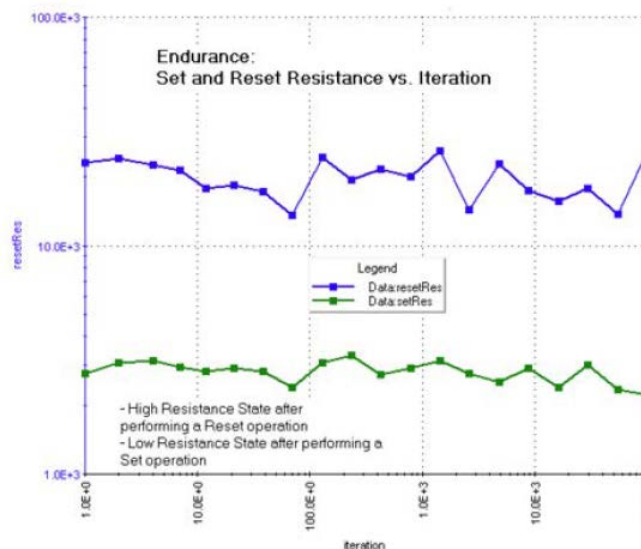


図42:ReRAM耐久試験

## reramSweep のパラメータの設定モジュール

**reramSweep** モジュールは、各スイープのピークに平坦なセクションを有するダブルスイープを実行するために使用される。ReRAM デバイスをテストするために、ユーザは、2つのピーク(陽性または負)の適切な値を選択し、次いで、タイミングを設定する(図 43、表 13)。**useSmu** パラメータの設定に応じて、SMU 機器または 2RPM を持つ PMU のいずれかを使用できる。デバイスの Low 側(図 38)は、RPM を使用して PMU チャンネル 1 に接続する必要がある。Low 側は、DUT と基板との間に接続がある場合、バルク、基板、またはチャックに接続される側として定義される。SMU1 はまた、チャンネル 1、RPM1 に接続される。SMU2 は、チャンネル 2RPM に接続される。電圧バイアスがチャンネル 1 に印加され、チャンネル 2 は仮想接地電位に維持され、電流がチャンネル 2 で測定される。

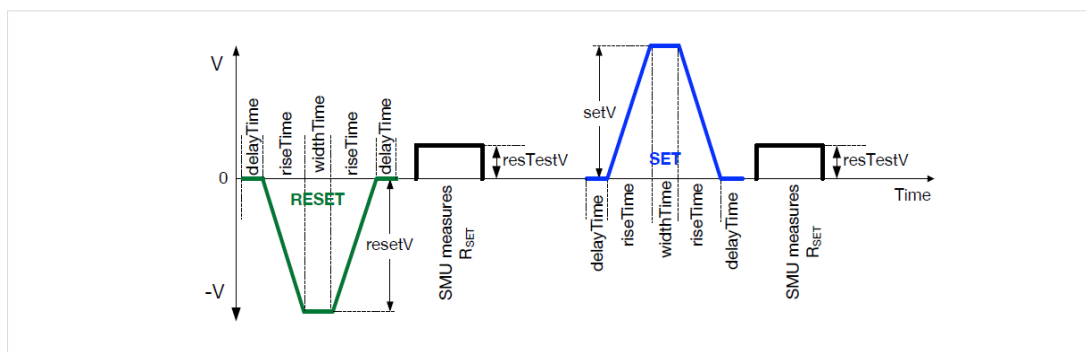


図43. **reramSweep**および**reramEndurance**測定のパルス波形

パラメータ	レンジ	内容
riseTime	2e-8s~33ms	SETまたはRESET電圧の立ち上がり時間。この値にはスルーレートが制限されている。最も遅い立ち上がり時間に到達するためには、より高い電圧を使用しなければならない。
widthTime	2e-8s~1s	フル電圧でのパルス幅時間
delayTime	20ns~1s	SETパルスとRESETパルス間の時間
compliance	1 or 2	電流コンプライアンスを実施するSMUチャンネル
resetV	-20V to 20V	RESETパルスのピーク電圧。ReRAMデバイスの場合、この値は負でなければならない。
setV	-20V to 20V	SETパルスのピーク電圧。ReRAMデバイスの場合、この値は正でなければならない。
Irange	RPM100nA~10mA、 SMU10pA~1A	電流測定レンジ。SMUは、より多くのレンジを有し、0でオートレンジ。
resetIcomp	-100mA to +100mA	この変数は、RESET中のPMUおよびSMU制御の両方に使用されることに留意されたい。0に設定されている場合、電流制限は適用されない。useSmu=1でSMUでSweepを行い、電流制限が0の場合は、オートレンジを使用する。電流制限が0ではなく、useSmu=1である場合、SMUは固定電流レンジに設定される。
setIcomp	-100mA to +100mA	この変数は、SET中のPMUおよびSMU制御の両方に使用されることに留意されたい。0に設定されている場合、電流制限は適用されない。useSmu=1で、SMUでSweepを行い、電流制限が0の場合は、オートレンジを使用する。電流制限がゼロではなく、useSmu=1である場合、SMUは固定電流レンジに設定される。
resTestV	-10V to +10V	デバイスの抵抗を測定するために使用されるSMU電圧。

takeRmeas	0 or 1	抵抗測定を行うかどうか。1は抵抗測定を行い、0は抵抗測定を行わない。
useSmu	0 or 1	パルス測定のためにPMU+RPMを使用する代わりに、DC測定を行うためにSMUを使用するかどうか。1はSMUを使用し、0はSMUを使用せず、PMUを使用する。
numIter	1~100	このパラメータは1に設定する必要がある。
Vforce_size Imeas_size Time_size	10~10000	これらの3つの値は、同じでなければならない、出力アレイ内の項目の数を表す。

表13. reramSweepモジュールの入力パラメータ(図.43参照)

表14. reramSweepモジュールの出力パラメータ

パラメータ	内容
Vforce	印加電圧の配列
IMEA	測定電流の配列
Time	測定時間の配列
resetResistance	RESETパルス後のDUTの抵抗値
setResistance	SETパルス後のDUTの抵抗値
initResistance	パルス前のDUTの抵抗値

### reramEndurance Module のパラメータ設定

**reramEndurance**ルーチンは、**reramSweep**ルーチンで記述されるのと同じパラメータを使用して、一連のダブルスイープ(SET+RESET)を実行するために使用される。ReRAMデバイスをテストするには、陽性または負の2つのピークに適切な値を選択し、実装したいタイミングを設定する。ダブルスイープの実行回数(**max\_loops**)と、測定回数(**fatigue\_count**)を選択する。ルーチンは、log10アプローチを使用して、全パルス(**max\_loops**)にわたって測定の総数(**fatigue\_count**)の間隔を空ける。例えば、**max\_loops**=10000および**fatigue\_count**=4の場合、試験デバイスに印加された10、1000、1000および10000SET+RESETパルスの後にSETおよびRESET測定値が存在する。

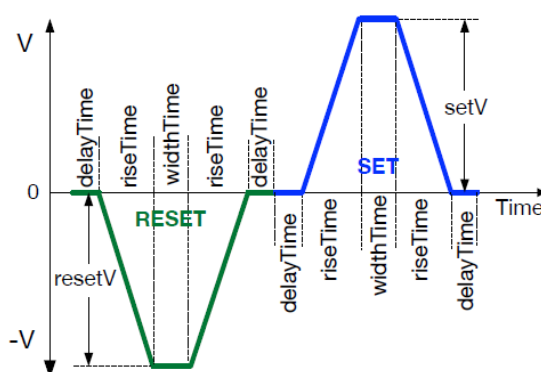


図44. ストレスreramEnduranceのパルス波形パラメータ

### RPM電流制限の校正

パルス電流制限機能は、4225-RPM型によって提供される。RPMからDUTまでの距離を最小にすることでより寄生容量及び電流制限が活性化して有効になるのにかかる時間を最小化する。上述のように、この時間は、典型的なDC SMU機器の電流コンプライアンスが有効になる時間より3桁小さい。RPM電流制限機能

は、初期及び周期的な校正を必要とする。4225-RPM型の電流制限機能を使用する前に、校正は、ルーチン **Do\_RPM\_ILimit\_Cal**(ユーザライブラリー **RMP\_ILimit\_Control** から) を呼び出し手動で実行されなければならない。このテストは、プロジェクトツリーのトップにある ReRAM プロジェクトおよび PRAM プロジェクトに含まれる。

4225-RPM型-LRには電流制限機能がないことに留意されたい。4225-RPM型-LRモジュールの電流制限の校正または設定を試みるとエラーが発生する。

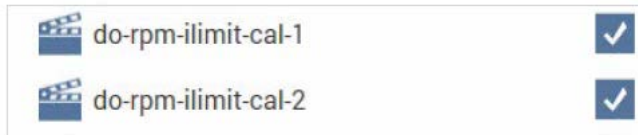


図45. ReRAMプロジェクトツリー上のRPM電流制限テスト

ここでは、両方のRPMを較正するために2つの呼び出しが示されている(図45)。PMU1のチャンネル1の校正手順を実行するには、図46のようにルーチンに入力条件を設定し、SMU2をRPM1の出力コネクタに接続する。チャンネル2RPMを校正するには、**do-rpm-ilimit-cal-2**テスト(図45)を使用し、SMU1を出力コネクタRPM2に接続し、パラメータSMU名にSMU1を使用する。校正の品質は、PosRsqrおよびNegRsqrと呼ばれる相関係数によって決定される。これらの数値が1.000に近く、少なくとも最初の4桁または5桁=9である場合(図47、999.995E-3または999.999E-3を示す)、校正は成功したとみなされる。校正は温度によりドリフトするので、より良好な性能のためには、毎日の校正が推奨される。電流制限は~10µA~10mAである。

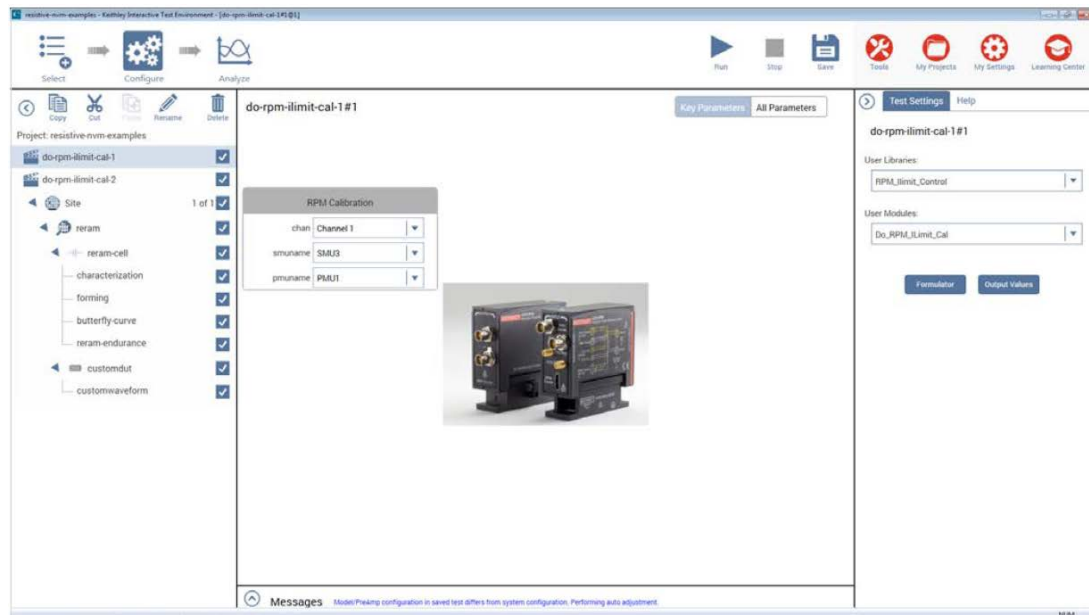


図46. PMUチャンネル1RPMの電流制限校正の設定

Do_RPM_ILimit	PosRsqr	NegRsqr
0	999.9990E-3	999.9950E-3

図45. ReRAMプロジェクトツリー上のRPMの電流制限テスト

## nvm User Libraryのステータス及びエラーコード

エラーをデバッグする場合、以下のエラーコード(表17)から始め、デバッグログファイル(**C:\\$nvmlog.txt**)も参照。

### 測定の最適化

4225-PMU型および4225-RPM型は、パルス波形テストのそれぞれに対して波形を提供するので、パルス精

度の決定は、ソースのみのパルスシステムと比較して大幅に簡略化される。初期設定時には、抽出した値(VT, SET R, Hysteresis, PUND)に加えて、パルス波形で適切な電圧レベルとタイミング対応を確認する。

測定では、測定範囲とノイズフロアの間には常にトレードオフがある。測定時間が長くなると、ノイズの少ない結果が得られる。4225-PMU型および4225-RPM型も、この測定の基本的な事実に従う。しかし、タイミングは基本的なパラメータであるので、トレードオフはより明らかであり、したがってより制御可能である。

ノイズに加えて、より低い電流測定レンジは、より高いレンジよりも遅い対応を有することに留意されたい。これは、SMU電流レンジ、ならびに4225-PMU型および4225-RPM型に当てはまる。例えば、4225-RPM型の電流計測は、100 $\mu$ Aレンジ(750nsベストケース)よりも10mAレンジ(100nsベストケース)の方がはるかに速く安定する。このことは、より高い電流測定レンジを使用することは、より速いセトリング時間のためにより短いパルスタイミングパラメータを可能にするが、わずかにより多くのノイズを犠牲にすることを意味する。

表 15. *reramEndurance* モジュールの入力パラメータのリスト(図 43 および図 44 参照)。

パラメータ	レンジ	内容
riseTime	4e-8~1e-2s	電圧の立ち上がり時間
widthTime	4e-8~1e-2s	フル電圧でのパルスストップ時間
delayTime	4e-8~1e-2s	2つのパルス間及びSweep間の時間
useSmu	0 or 1	0に設定。デバッグ用
compliance	CH1 or 2	どのSMUチャンネルで電流コンプライアンスを実施するか
resetV	-20 to 20V	RESETパルスのピーク電圧。ReRAMデバイスの場合、この値は負でなければならない。
setV	-20 to 20V	SETパルスのピーク電圧。ReRAMデバイスの場合、この値は正でなければならない。
Irange	0~0.2	電流測定レンジ
resetIcomp	-100mA to +100mA	この変数は、RESET中のPMUおよびSMU制御の両方に使用されることに留意されたい。0に設定されている場合、電流制限は適用されない。useSmu=1でSMUでSweepを行い、電流制限が0の場合は、オートレンジを使用する。電流制限が0ではなく、useSmu=1である場合、SMUは固定電流レンジに設定される。
setIcomp	-100mA to +100mA	この変数は、SET中のPMUおよびSMU制御の両方に使用されることに留意されたい。0に設定されている場合、電流制限は適用されない。useSmu=1で、SMUでSweepを行い、電流制限が0の場合は、オートレンジを使用する。電流制限がゼロではなく、useSmu=1である場合、SMUは固定電流レンジに設定される。
resTestV	0.1 to 2V	DUTの抵抗を測定する電圧。これは、DUTをSETまたはRESETしないように、SET電圧およびRESET電圧よりもはるかに小さくなければならない。
max_loops	1~10 <sup>12</sup>	試験デバイスにストレスをかけるパルスの数。fatigue_countを設定して、パルス波形のmax_loops数内の測定間隔の数を決定する。
fatigue_count	2~100	max_loops テスト中に、ログ間隔を使用して測定する回数。例えば、max_loops=1000およびfatigue_count=4の場合、1、10、100、1000SET+RESETパルス波形が試験デバイスに印加された後、SETおよびRESET抵抗の測定を行う。

表16. *reramSweep*モジュールの出力パラメータのリスト

パラメータ	レンジ	内容
reset	Resistance	RESETパルス後のDUTの抵抗値
set	Resistance	SETパルス後のDUTの抵抗値
init	Resistance	パルス前のDUTの抵抗

表17. *nvm*ユーザ・ライブラリのエラー・コードと解説

コード	内容
1	テストが成功
-10	NVM構造を初期化できない
-20	戻り配列が同じサイズでない、または <i>iter_size</i> が <i>fatigue_count</i> より小さい
-40	一方のチャンネルの電流レンジが大きすぎ、10mA(10e-2)以下とすること。
-50	<i>pg2_init</i> のエラー
-60	<i>pulse_load</i> のエラー
-70	<i>pulse_ranges</i> のエラー
-80	<i>pulse_burst_count</i> のエラー
-90	<i>pulse_output</i> のエラー
-100	<i>pulse_standby</i> のエラー
-110	<i>pulse_sample_rate</i> のエラー
-120	<i>Set_RPM_ICompliance</i> のエラー
-130	<i>seq_arb_sequence</i> のエラー
-140	<i>pulse_exec</i> のエラー
-150	<i>pulse_fetch</i> のエラー
-160	点が返されない
-170	<i>seq_arb_waveform</i> のエラー
-210	テスト終了エラー
-220	測定時のエラー

### パルス過渡における充放電効果

図48は、図49に示す波形を得るための構成を簡略化したブロック図である。パルス過渡時に、充電および放電による電流が試験システム内に流れる。この充電電流は、図48に示すように、DUTには流れず、機器からケーブルに流れ込み、PMU+RPMで測定される。図49は、パルス波形を用いた充放電効果を示す。この効果の式は以下の通りである。

$$I = C \, dV / dt$$

ここで、

Iは、容量性充電電流である。

Cは、システムのキャパシタンス(すなわち、測定回路に存在するキャパシタンス)である。

dVは電圧の変化である。

dtは、時間の変化であり、この場合、パルスの移行あるいは立ち上がりおよび立ち下がり時間である。



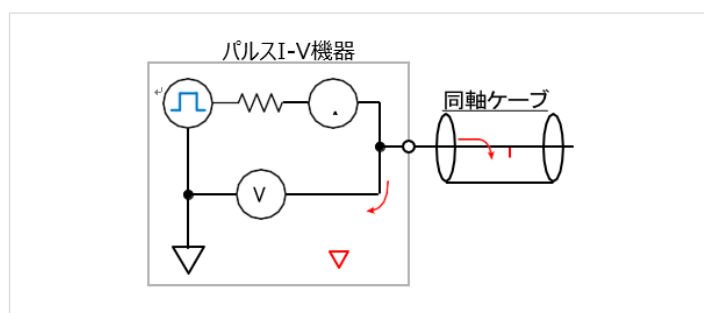


図48. パルス過渡の容量性充放電電流を示すパルスI-V機器のブロック図

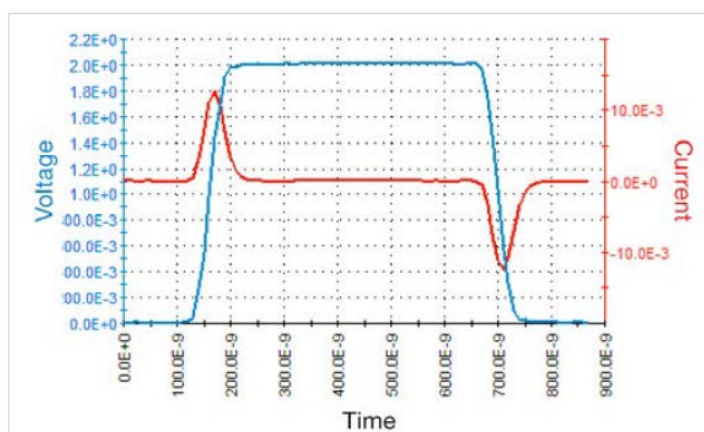


図49. 容量性充放電効果。青色の曲線は、短い長さの同軸ケーブルに印加される電圧パルス。赤色の曲線は、印加された電圧パルスと同じ側から測定され結果として生じる電流フローである(図48、または図50のチャンネル1)。電圧パルス過渡中の赤色曲線のハンブが充放電電流である。

この現象は基本原理に基づいており、実装特有のものではなく、高速電流を測定する機器がこの現象による電流の影響を受けることを意味する。パルスストップ中の測定はこの影響を受けず、つまりパルスI-Vの結果は充放電による影響を受けないことを意味することに留意されたい。この充放電効果は、ほとんど全ての波形測定が電圧波形のみであったため、以前には観測されていなかった。

計算式に基づくと、この効果は $dV/dt$ 及び $C$ に比例する。一般に、ケーブルの容量値は、DUTまたは機器の容量値よりも大きい。よって容量値は、より短いケーブルを使用することによって最小限に抑えることができるが、機器および内部接続にはいくらかの容量が常に存在する。 $dV/dt$ は、電圧を低下させるか、または立ち上がり時間および立ち下がり時間を増加させることによって低下させることができる。電圧の低減は、特性評価のため必要な信号レベルであるので、通常はその選択肢ではない。立ち上がりあるいは立ち下がり時間を短縮することは、ある状況では可能であり得るが、時間は、過渡特性評価のための重要なテストパラメータである。

$dV/dt$ は、容量性充放電効果の解決へのヒントを提供する。印加パルスに対しDUTのLo側の電流を測定することは、その影響を回避する鍵である。図50は、接続設定を示している。チャンネル2に接続されたデバイス側は、ほとんどの場合、本質的に $dV/dt=0$ であることに留意されたい。2チャンネルでのセットアップの結果を図51に示すが、パルス過渡時には充電または放電効果が見られないことに留意されたい。このアプローチは、ハイサイドパルス(図51の赤い曲線)と称され、電流はローサイドで測定する。ハイおよびローは、デバイスの両端間の相対電圧を指すことに留意されたい。

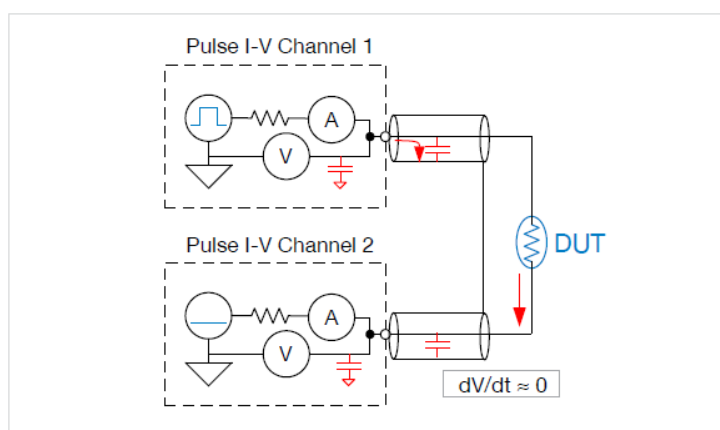


図50. 2端子デバイスに接続された2つのパルスI-Vチャンネルのブロック図

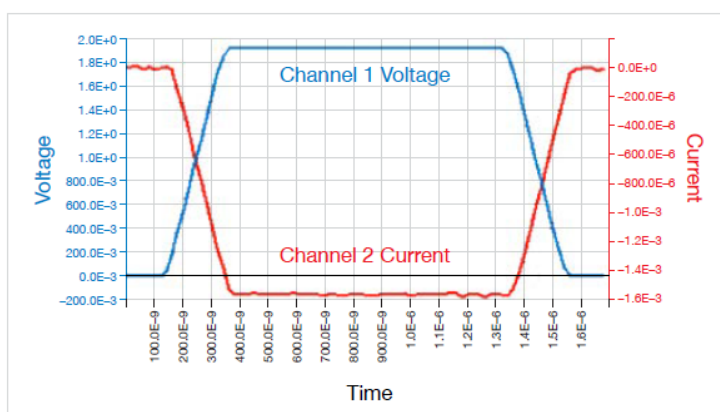


図51. 図50に示す構成でのパルスI-V波形。パルス過渡の間、容量性充放電電流は見られず、抵抗体DUTを流れる電流のみが見られる。

## 測定装置

最小構成：

- ・4200A-SCS型
- ・ミディアムパワーあるいはハイパワーの2つのSMU。このSMUはFlash及びReRAMの試験にのみ使用される。
- ・2つの4225-RPM型を有する1つの4225-PMU型

## 参考文献

1. J. Hutchby and M. Garner, "Emerging Research Memory Technologies Workshop & ERD/ERM Working Group Meeting (April6~7, 2010)" International Technology Roadmap for Semiconductors, July23,2010. [online]. Available:[http://www.itrs.net/links/2010itrs/2010Update/ToPost/ERD\\_ERM\\_2010FINALReportMemoryAssessme nt\\_ITRS.pdf](http://www.itrs.net/links/2010itrs/2010Update/ToPost/ERD_ERM_2010FINALReportMemoryAssessme nt_ITRS.pdf). [Accessed:September26,2011].
2. E.Harari, "The Non-Volatile Memory Industry – A Personal Journey," presented at the 3<sup>rd</sup> IEEE International Memory Workshop(IMW), Monterey, CA,2011, pp.1-4.

3. H. Yoo, E. Choi, H. Joo, G. Cho, S. Park, S. Aritome, S. Lee, S. Hong, "New Read Scheme of Variable VpassRead for Dual Control Gate with Surrounding Floating Gate(DCSF)NAND Flash Cell", presented at the 3<sup>rd</sup> IEEE International Memory Workshop(IMW), Monterey, CA, 2011, pp.53-56.
4. M. Seo, B. Lee, S. Park, T. Endoh, "A Novel 3-D Vertical FG NAND Flash Memory Cell Arrays Using the Separated Sidewall Control Gate(SSCG)for Highly Reliable MLC Operation", presented at the 3<sup>rd</sup> IEEE International Memory Workshop(IMW), Monterey, CA, 2011, pp.61-64.
5. "IBM scientists demonstrate computer memory breakthrough," June 30, 2011. [Online] Available: <http://www.zurich.ibm.com/news/11/pcm.html> [Accessed: September 26, 2011].
6. T. Nirschl, J. B. Phipp, T. D. Happ, G. W. Burr, B. Rajendran, M.-H. Lee, A. Schrott, M. Yang, M. Breitwisch, C.-F. Chen, E. Joseph, M. Lamorey, R. Cheek, S. H. Chen, S. Zaidi, S. Raoux, Y. C. Chen, Y. Zhu, R. Bergmann, H. L. Lung, C. Lam, "Write Strategies for 2 and 4-bit MultiLevel Phase-Change Memory", IEDM 2007. pp.461-464
7. A. Pirovano, A. L. Lacaita, F. Pellizzer, S. A. Kostylev, A. Benvenuti and R. Bez, "Low-Field Amorphous State Resistance and Threshold Voltage Drift in Chalcogenide Materials," IEEE Trans. On Electron. Device, vol. 51, May 2004, pp.714-719.
8. D. S. Suh, K. H. P. Kim, J. S. Noh, W. C. Shin, Y. S. Kang, C. Kim, Y. Khang, and I. K. Yoo, "Critical Quenching Speed Determining Phase of Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub> in Phase-Change Memory", IEDM 2006, pp.1-4.
9. G. R. Fox, R. Bailey, W. B. Kraus, F. Chu, S. Sun, and T. Davenport, "The Current Status of FeRAM", Topics in Applied Physics, vol. 93, 2004, pp.139-148.
10. L. Hai, M. Takahashi, S. Sakai, "Downsizing of Ferroelectric-Gate Field-Effect-Transistors for Ferroelectric-NAND Flash Memory Cells", presented at the 3<sup>rd</sup> IEEE International Memory Workshop(IMW), Monterey, CA, 2011, pp.175-178.
11. AIST press release, "Development of the 1T FeRAM: Towards the Realization of the Ultra-Gbit Next-Generation Semiconductor Memory," Oct 24, 2002.
12. J. S. Cross, S. H. Kim, S. Wada, and A. Chatterjee, "Characterization of Bi and Fe co-doped PZT capacitors for FeRAM," Sci. Technol. Adv. Master. 11(4) (August 2010), 044402.
13. F. Chu and T. Davenport, "The Endurance Performance of 0.5m FRAM Products" [online] [http://www.ramtron.com/files/tech\\_papers/F-RAM\\_Endurance.pdf](http://www.ramtron.com/files/tech_papers/F-RAM_Endurance.pdf). (Accessed: September 26, 2011).
14. R. Waser, R. Dittmann, G. Staikov, K. Szot, "RedoxBased Resistive Switching Memories - Nanoionic Mechanisms, Prospects, and Challenges", Adv. Master. 2009,

21, 2632-2663.

15. "How forming to improve memory window and uniformity of low-power HfO<sub>x</sub>-based RRAMs", B. Butcher, G. Bersuker, K.G. Young-Fisher, D.C. Gilmer, A. Kalantarian, Y. Nishi, R. Geer, P.D. Kirsch, R. Jammy, Proceedings of 2012 International Memory Workshop, pages 49-52.

**お問い合わせ先：**

オーストラリア 1 800 709 465  
オーストリア 00800 2255 4835  
バルカン諸国、イスラエル、南アフリカ、その他ISE諸国 +41 52 675 3777  
ベルギー 00800 2255 4835  
ブラジル +55 (11) 3759 7627  
カナダ 1 800 833 9200  
中央／東ヨーロッパ、バルト海諸国 +41 52 675 3777  
中央ヨーロッパ／ギリシャ +41 52 675 3777  
デンマーク +45 80 88 1401  
フィンランド +41 52 675 3777  
フランス 00800 2255 4835  
ドイツ 00800 2255 4835  
香港 400 820 5835  
インド 000 800 650 1835  
インドネシア 007 803 601 5249  
イタリア 00800 2255 4835  
日本 81 (3) 6714 3086  
ルクセンブルク +41 52 675 3777  
マレーシア 1 800 22 55835  
メキシコ、中央／南アメリカ、カリブ海諸国 52 (55) 56 04 50 90  
中東、アジア、北アフリカ +41 52 675 3777  
オランダ 00800 2255 4835  
ニュージーランド 0800 800 238  
ノルウェー 800 16098  
中国 400 820 5835  
フィリピン 1 800 1601 0077  
ポーランド +41 52 675 3777  
ボルトガル 80 08 12370  
韓国 +82 2 6917 5000  
ロシア +7 (495) 6647564  
シンガポール 800 6011 473  
南アフリカ +41 52 675 3777  
スペイン 00800 2255 4835  
スウェーデン 00800 2255 4835  
スイス 00800 2255 4835  
台湾 886 (2) 2656 6688  
タイ 1 800 011 931  
イギリス、アイルランド 00800 2255 4835  
アメリカ 1 800 833 9200  
ベトナム 12060128

2017年4月現在



jp.tek.com

**テクトロニクス／ケースレーインズツルメンツ**

お客様コールセンター：技術的な質問、製品の購入、価格・納期、営業への連絡

**TEL: 0120-441-046** ヨク良い オシロ 営業時間／9:00～12:00・13:00～18:00  
(土日祝日および当社休日を除く)

サービス・コールセンター：修理・校正の依頼

**TEL: 0120-741-046** なんと良い オシロ 営業時間／9:00～12:00・13:00～17:00  
(土日祝日および当社休日を除く)

〒108-6106 東京都港区港南2-15-2 品川インターシティB棟6階

記載内容は予告なく変更することがありますので、あらかじめご了承ください。

Copyright © 2020, Tektronix. All rights reserved. TEKTRONIX およびTEK はTektronix, Inc. の登録商標です。  
記載された製品名はすべて各社の商標あるいは登録商標です。

2020年6月 1KZ-60683-0