

先端CMOSデバイスの信頼性評価へのパルス印加試験の導入

Pete Hulbert, Industry Consultant
Yuegang Zhao, Lead Applications Engineer
Keithley Instruments, Inc.

半導体のチャージトラップやその特性劣化の現象を調査するため、従来のストレスと測定を繰り返すシーケンスへACやパルスストレスを追加することは有効である。NBTIやTDDBはストレスと測定の繰り返しで構成されており、そのストレス印加については従来そのデバイスモデルへの相関の簡便性からDCストレスが使われてきた。しかしパルスを組み込んだストレス試験は周波数依存性を持つ回路におけるデバイス特性の理解を深めるためのさらなる情報を提供する。

従来DCストレスと測定の手法はチャンネルホットキャリアの注入による劣化やTDDBのようなCMOSトランジスタの信頼性評価に対して広く使用されてきた。しかし最近信頼性試験の在り方がPMOSFETにおけるNBTIやHigh-kゲート膜のチャージトラップと言った新たなダイナミックな現象をとらえるものになってきており、加えて多数のデバイスがダイナミックにオン、オフする実動作における回路の信頼性評価への関心が増してきている。

デバイスに新素材や構造が使用されることにより、印加ストレスによる界面の劣化を評価するための測定の間のパルスと同様、パルスやACストレスを信頼性試験に用いるダイナミックな手法を使った信頼性試験が注目されている。

長時間の電圧ストレスによる界面の劣化や界面トラップ密度の増加が、high-kゲート膜の信頼性と同様HCIやNBTIのようなデバイスの信頼性の問題としても鍵となる重要な要素であることが知られており[1]、既存のDC特性評価に界面トラップモニター試験を追加するためチャージポンピングの手法を用いることは、これらの新たな信頼性の問題を理解する上で非常に有効である。本書においては最新のCMOSデバイスに対する信頼性試験によく使われているチャージポンピングとACストレスの手法について議論する。

パルスを使った評価：チャージポンピング

チャージポンピング(CP)と同時CV(高周波CVとQuasi CVのコンビネーション)測定がMOSデバイスの界面トラップ準位密度の評価に使用される最も一般的な手法である。しかし、トランジスタの微細化やゲート酸化膜の薄膜化に伴い、Quasi CVの手法が3~4nm以下の酸化膜厚に対し使えなくなっていることにより同時CV法が新しいhigh-k材の界面トラップの評価に適さない手法となっている[2]。

そのような状況において、CP法はゲート膜の特性を理解する上で有効な手法であり、トランジスタのゲート膜に広く使われてきているhigh-k膜に対する評価手法として重要性が増してきており、界面とそのチャージトラップの現象の評価に使われる。CPの結果の変化はDCもしくはパルスストレスを使ったHCIやNBTIやTDDBのような通常の信頼性試験による劣化の量を決めることに使用される。

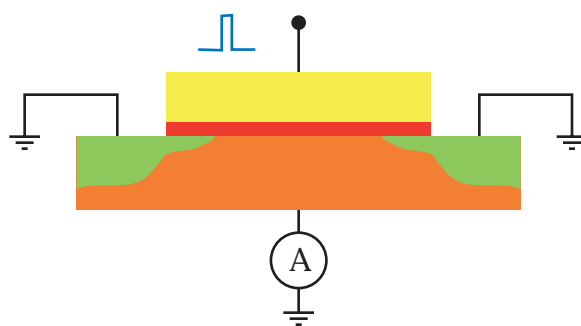


図1. Schematic for charge pumping measurement. Source and drain of the transistor are connected to ground, while the gate is pulsed with fixed frequency and amplitude

図1はDUTとの接続を示している。基本的なCP法はトランジスタのゲートに決められた振幅、立ち上がり時間、立下り時間、周波数の連続パルス電圧を印加し基板電流を測定する。このときドレイン、ソース、基板は接地され、基板には I_{CP} 電流を測定するためSMUが接続される。

CP法において最も一般的な方法はベースレベルスイープ法と振幅スイープ法である。ベースレベルスイープ法においては、パルス幅と電圧振幅は固定されており、パルスのベースとなる電圧がスイープされる(図2a参照)。そして図2aのグラフに示したように、そのベース電圧において基板電流が測定され、ベース電圧値に対してプロットされる。

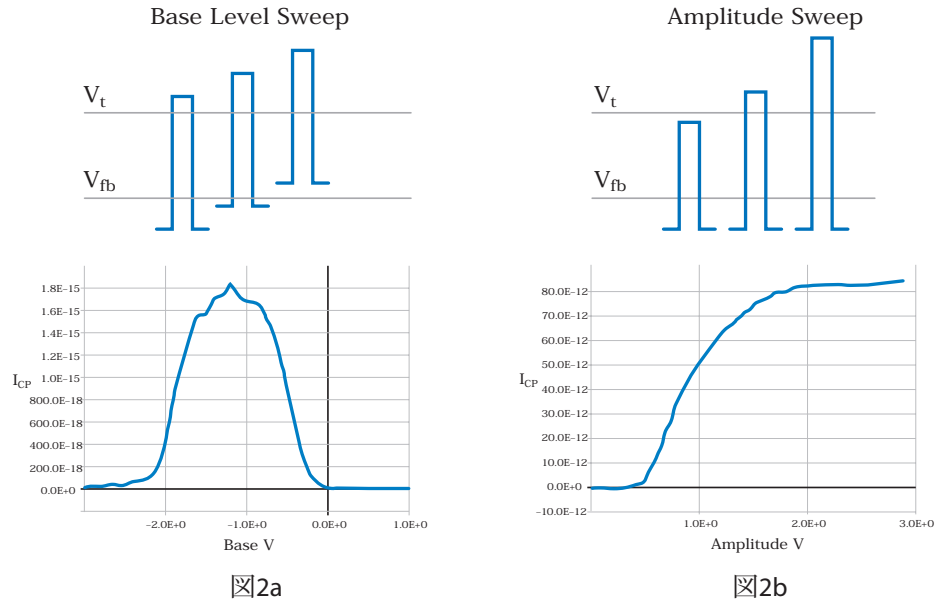


図2. Two types of sweeps for charge pumping: a) base voltage sweep, b) pulse amplitude sweep.

もう一つのチャージポンピングの手法がベース電圧とパルス周波数を固定してそれぞれのスイープステップ毎に電圧の振幅を変化させる電圧振幅スイープ法である。取得されたデータは電圧ベーススイープにて抽出されたものと似ているが、こちらの場合にはチャージポンピング電流(\$I_{CP}\$)は電圧の振幅値に対してプロットされる。これらの測定は界面トラップの周波数応答を得るため周波数を振っても運用される。

High-kゲート構造に対して次式を用いることによりCP法はトラップされたチャージ(Nit)を定量化することができ、シリコン基板との界面を越えたトラップチャージが検出可能となる[3]。

$$N_{it} = \frac{I_{CP}}{qfA}$$

図2 a)のプロットはベース電圧スイープに対する\$I_{CP}\$の特性を示し、図2 b)は振幅のスイープに対する\$I_{CP}\$のカーブを示している。

CP法は界面トラップ構造の初期状態を評価することにも使用できる。図3はまだ一度もテストされていない新鮮なMOSFETに1MHzの周波数を印加した際のCP測定結果である。黒く示したカーブが初期値で、薄く示したカーブが続いて測定を行ったものである。ここで低い電圧値の領域で\$I_{CP}\$の波形の形状が変化していることに注目すると、測定を繰り返した後、この効果が飽和するにつれ、波形の変化が実質的に無くなっている。その波形の変化はCP法によって与えられた電気的ストレスによって界面トラップが形成されることを示している。つまりこのことはパルスを使ったCP法が実質的にデバイスにストレスを与え、劣化を引き起こすことを意味している。パルスストレスによる劣化はBTIやTDDDBを理解する上で有益なものとなる。

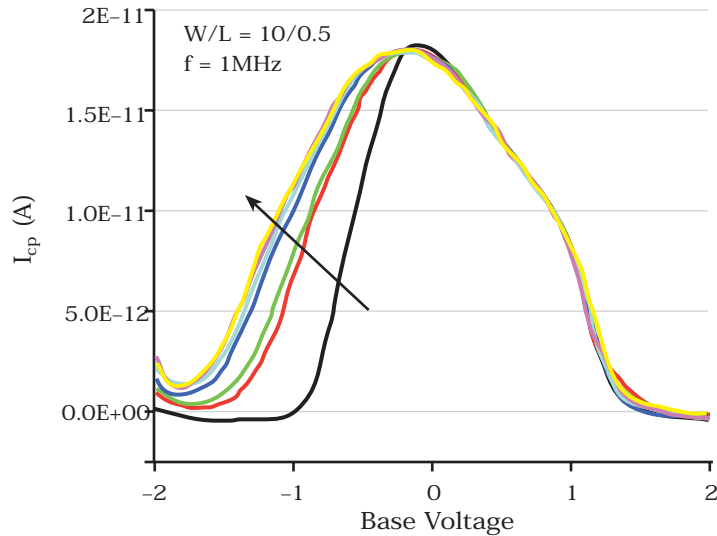


図3. “Stress” effect induced by charge pumping measurement on a “fresh” device.

BTIやTDDDBに対するパルスストレス

BTI(NBTIとPBTI両方を含む)やTDDDBは同様な試験方法を共有している。この手法は、ストレスと試験の2つのインターバルにより成り立っており、上昇させた電圧を試料にストレスとして印加して、一定時間後に劣化の量を計測する測定を交互に繰り返す。NBTIやTDDDBはその試験時間を減らすため、劣化を加速させるようにデバイスの温度を上げた状態で運用され、その試験時間は1時間から2週間に及ぶ。

最近NBTIはPMOSFETの信頼性の問題としてその重要性が増している。NBTIとはゲートチャネル界面の変化によるPMOSデバイスの劣化現象であり[4]、その劣化は通常トランジスタのしきい値電圧の増加やドレイン電流の劣化として観測され、バーイン中の不良やフィールドにおいての歩留まりを低下させる[5,6]。NBTI試験は最近業界標準としてリリースされた[7]。NBTIと伝統的なHCI試験の大きな手法的な違いは、NBTI試験中にストレスを止めると劣化の回復現象がおきることである。

従来のこれまでのストレス、測定を繰り返す手法ではストレスと測定のインターバル間にはデバイスに電圧が印加されていない状況が発生してしまうため、それにより回復が起こってしまうという一つの問題が出てくる。測定のインターバルの間において計測器が何もしない時間が与えられ、回復が発生し、測定の段階において劣化の効果が小さくなるためこの手法ではデバイスの寿命を過大評価してしまう。またDCストレス電圧を使用する場合、ほとんどのデバイスは実際の使用環境ではストレスがオフになっている状態が存在するため、回路の実使用状態におけるストレスを正確に反映していない。したがってDCストレスの手法は実際の回路使用状態におけるトランジスタの寿命に対し過小評価してしまう。最先端デバイスにおける信頼性マージンの縮小に伴い、このトランジスタ寿命の過小評価は許容しがたい贅沢である。

動的な信頼性の振る舞いとしての回復現象に加えて、high-kゲートトランジスタにおけるチャージトラップの現象がある。これはCMOSプロセスにおけるhigh-k材のデポ工程がまだ未熟で、ゲート酸化膜の工程と比較して大量のトラップセンターが膜中に残っていることに起因している。トランジスタ動作時ゲートがオンになった際チャージが過渡的にゲートに捕獲され時間と共にトランジスタのパフォーマンスが変化し、しきい値電圧をシフトさせる。ゲートにトラップチャージされる時間はゲートの品質やトラップの条件に依存し、数10nsecから数10msecを要する。

High-kゲート中のチャージの分布も電界分布に影響を与え、その結果TDDBやBTIにおいてhigh-kゲートの信頼性の振る舞いを変えてしまう可能性がある[8]。同時に低いゲート電圧でのチャージのデトラップによる同様な回復効果が存在する。その回復現象はストレスから測定への過渡時間に大きく依存し、そのことにより回復時間が通常テスト環境においてうまく制御できないため、デバイス寿命の推定の精度が下がってしまう。

新しい信頼性の現象の動的な本質を知るためには回路内部のデバイス動作をシミュレートするパルスストレスが必要になる。それぞれ異なった回路や回路体系がそれぞれ異なった周波数で動作するため、それぞれの周波数に基づいた寿命のモデル化を行うための周波数に依存した寿命の算出が必要となる。これらのアプリケーションにおいて、パルスストレスはDCストレスに対し有利である。デバイスに動的なシグナルを印加するパルスストレスは周波数依存を持つ回路の定常的動作をよりよく見積もることができる。パルスストレス印加中、ストレスが中断されると劣化が少なくとも部分的に回復し、それがデバイスの寿命を回復させてしまう。ストレスがオフの間界面トラップが部分的にアニールされ修復される。このような回復現象があるため、信頼性に携わるエンジニアや科学者は回路内部もしくは製品内部の条件に応じたデバイス寿命をより正しく理解を得るためパルスストレス法を用いている。

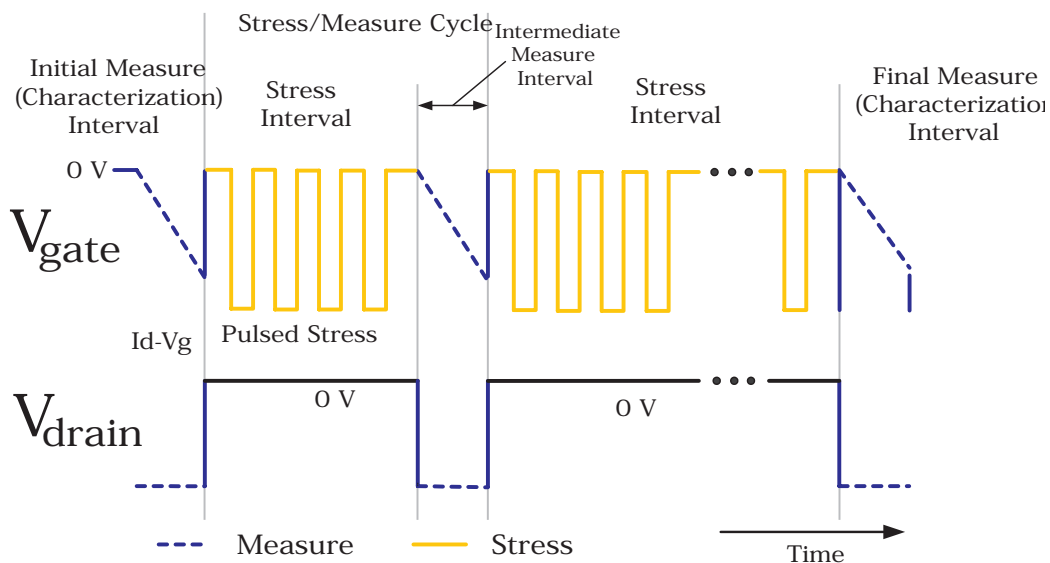


図4a.

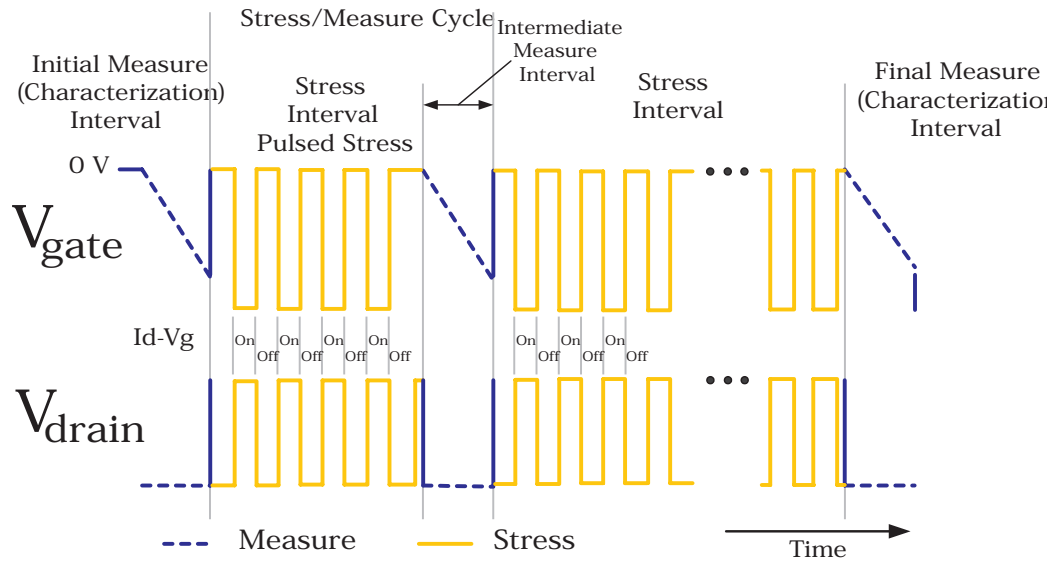


図4b.

図4. NBTI stress/measure diagram, showing two different pulsed stress methods: a) Dynamic NBTI (DNBTI), using traditional gate and drain voltages, b) DNBTI to simulate inverter conditions, with drain voltage in opposite phase to the gate voltage

回路内のデバイスで観測されるストレスを模倣した周期的なストレスを使うため、パルスストレスが印加されていない時間で中断された短いDCストレスをパルスストレスとして使用する(図4)。NBTIに対してはストレスパルス間のオフの部分が劣化をある程度回復させてしまう[9]。この部分的な回復がデバイスの寿命の決定やモデル化に対し顕著に関連してくる。部分的な回復についてはまだよく理解されておらず、デバイスに使用されている材料、設計寸法、構造の組み合わせに対しそれぞれ違っていると思われる。図4はパルスストレスの二つの例を示している。図4aはNBTIのパルスストレスを示しており、ここでドレイン電圧はストレスのインターバルにおいて0Vになっている。図4bもNBTIのパルスストレスであるが、ここではゲート電圧に加えてドレイン電圧もパルス印加されている。この二番目の手法がインバータ回路における単体デバイスの動作をシミュレートするために使用される。図4bにおいてゲートとドレインの両方にストレスが印加されるため、デバイスの劣化においてNBTIとHCIの成分が存在する。一般にパルスストレス法は劣化が軽減され、その結果デバイスの寿命は長くなる。

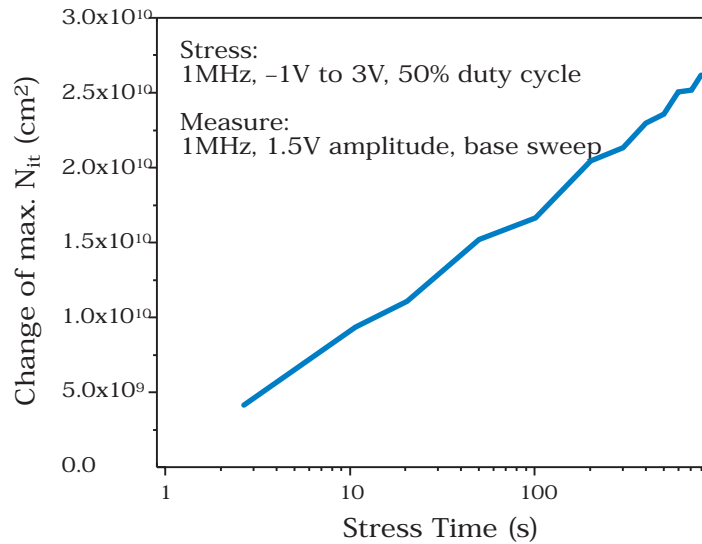


図5. Degradation of N_{it} due to pulsed stress.

NBTIにおいては、パルスストレス法はデジタル回路と同様個別デバイスの動的な振る舞いを調べるために用いられる[9,10]。図5は図4aに示したストレス印加法に図2aに示した周期的なCP測定を合わせたパルスストレスの継続時間に対する N_{it} の増加を示している。

BTIに加えて、TDDDBの役割も静的且つ動的なブレイクダウン特性において理解されなければならない[11,12]。TDDDB試験中のSILCのモニターに対し、ストレス/メジャーのダイアグラムは図4aと同様であるが、ドレイン電圧はストレス中に I_d が測定できるようにゼロボルトでない一定値に保たれている。

結論

パルス電圧はhigh-kデバイスやhigh-k膜の材料、界面、信頼性特性を調査するための重要な機能を提供する。パルス電圧を印加しながらのDC電流測定は、内在するチャージトラップを計測するため重要なチャージポンピング法の基礎となる。DCもしくはパルスストレスと合わせて使用することにより、high-kとシリコン界面やhigh-k膜中の新たなチャージの生成と同様に、CP法はチャージトラッピングの調査も可能にする。パルスストレスはデバイス内部の回路にて観測される実際のストレスに良く似たストレスの印加方法も提供し、それはBTI,TDDDB,HCIを含めたさまざまなデバイスの信頼性試験に適用できる。それに加えて、パルスストレスは、DCストレスでは解明できない、デバイスの信頼性特性の実態を解明してくれる。パルスストレスは従来のDC手法を補い、さらにデバイスの信頼性特性への深い理解を与える。

参照文献

- [1] International Sematech, "The International Technology Roadmap for Semiconductors, 2003 ed." Austin, TX, 2003.
- [2] S. H. Lo, D. A. Buchanan, Y. Taur, and W. Wang, "Quantum-mechanical modeling of electron tunneling current from the inversion layer of ultrathin-oxide nMOSFETs," *IEEE Electron Device Lett.*, vol. 18, p. 209, May 1997.
- [3] A. Kerber, E. Cartier, et al., "Origin of the Threshold Voltage Instability in SiO₂/HfO₂ Dual Layer Gate Dielectrics," *IEEE Electron Device Lett.*, 24 (2003) 87.
- [4] D. Schroder and J. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," *J. Appl. Phys.*, vol. 94, pp. 1-18, July 1, 2003.
- [5] V. Reddy et al. "Impact of Negative Bias Temperature Instability on Product Parametric Drift," in *Proc. IEEE ITC Intl. Test Conf.*, Oct. 2004, pp. 146-155.
- [6] Y.H. Lee et al. "Effect of pMOST Bias Temperature Instability on Circuit Reliability Performance," in *Proc. Intl. Electron Devices Mtg.*, 2003, pp. 353-356.
- [7] "A Procedure for Measuring P-Channel MOSFET Negative Bias Temperature Instabilities," in *JEDEC JESD90*, Nov. 2004.
- [8] B. H. Lee et al. "Intrinsic Characteristics of High-k Devices and Implications of Fast Transient Charging Effects (FTCE)," in *Technical Digests of International Electron Device Meeting*, 2004, p. 859.
- [9] M.A. Alam, "A Critical Examination of the Mechanics of Dynamic NBTI for PMOSFETs," in *Proc. IEEE Intl. Electron Devices Mtg.*, December 2003, p. 345.
- [10] B. Kaczer, F. Crupi, R. Degraeve, P. Roussel, C. Ciofi, G. Groeseneken, "Observation of hot-carrier-induced nFET gate-oxide breakdown in dynamically stressed CMOS circuits," in *Proc. IEEE Intl. Electron Devices Mtg.*, 2002, pp. 171-174.
- [11] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur, C. Parthasarathy, E. Vincent, G. Ghibaudo, "Review on High-k Dielectric Reliability Issues," *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 1, March 2005, pp. 5-19.
- [12] Y. Kim, K. Onishi, C. Kang, R. Choi, H. Cho, R. Nieh, J. Han, S. Krishnan and J. Lee, "Hard and Soft-Breakdown Characteristics of Ultra-Thin HfO₂ Under Dynamic and Constant Voltage Stress," in *Proc. IEEE Intl. Electron Devices Mtg.*, December 2002, p. 629.

本資料の内容は予告なく変更される場合があります。

All Keithley trademarks and trade names are the property of Keithley Instruments, Inc.

All other trademarks and trade names are the property of their respective companies.

KEITHLEY

ケースレーインストルメンツ株式会社

Web: www.keithley.jp Email: info.jp@keithley.com

本社: 105-0022 東京都港区海岸1-11-1 ニューピア竹芝ノースタワー13F • 03-5733-7555 • Fax: 03-5733-7556

大阪: 540-6107 大阪市中央区城見2-1-61 MIDIタワー7F • 06-6946-7790 • Fax: 06-6946-7791

© Copyright 2005 Keithley Instruments, Inc.
Printed in Japan

No. 2638
08052KGW